

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177036

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 27/10

4 5 1

H 0 1 L 27/10

4 5 1

G 1 1 C 11/22

G 1 1 C 11/22

14/00

11/34

3 5 2 A

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

29/788

審査請求 未請求 請求項の数 9 O L (全 45 頁) 最終頁に続く

(21) 出願番号

特願平9-346404

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22) 出願日

平成9年(1997)12月16日

(72) 発明者 高島 大三元

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

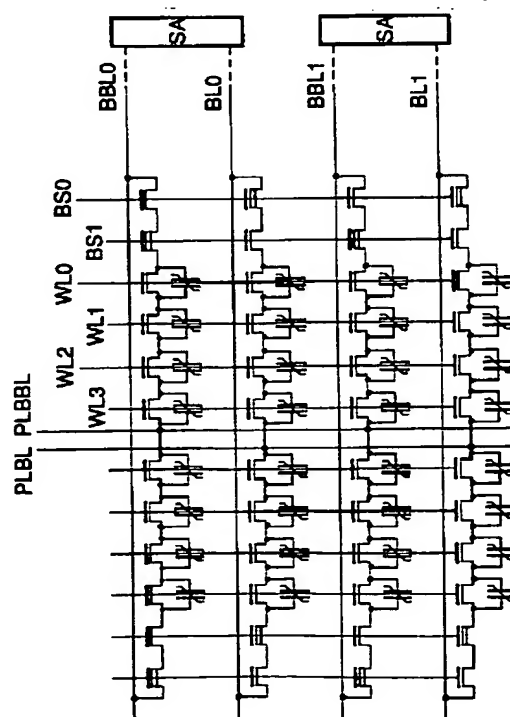
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 縦型トランジスタ等を用いることなく $4F^2$ サイズのメモリセルを実現し、かつランダムアクセス機能も保つ。

【解決手段】 トランジスタのソース・ドレイン端子間に強誘電体キャパシタを並列接続してメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続されたFRAMにおいて、ビット線対をなす2本のビット線BBL0、BBL1の各々に接続され、同一のワード線WLに接続される2個のメモリセルブロックは、各々異なる第1のプレート電極PLBLと第2のプレート電極PLBBLに接続されている。



1

【特許請求の範囲】

【請求項1】 トランジスタのソース・ドレイン端子間に強誘電体キャパシタを並列接続してメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続された半導体記憶装置であって、ビット線対をなす2本のビット線各々に接続され、同一のワード線に接続される2個のメモリセルブロックは、各々異なる第1のプレート電極と第2のプレート電極に接続されてなることを特徴とする半導体記憶装置。

【請求項2】 ワード線をゲート電極とするトランジスタと、このトランジスタのソース・ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続され、該メモリセルブロックを複数個配置してセルアレイが構成された半導体記憶装置であって、ワード線方向に配置されるメモリセルブロック群に対し、第1のプレート電極と第2のプレート電極が、1個毎に交互に、或いは2個毎に、メモリセルブロックに接続されてなることを特徴とする半導体記憶装置。

【請求項3】 トランジスタのソース・ドレイン端子間に強誘電体キャパシタを並列接続してメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続された半導体記憶装置であって、電源投入後のスタンバイ時は、プレート電極はV_{ss}に、ビット線はV_{dd}或いはビット線のHighレベルになっていることを特徴とする半導体記憶装置。

【請求項4】 トランジスタのソース・ドレイン端子間に強誘電体キャパシタを並列接続してメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続された半導体記憶装置であって、電源投入後のスタンバイ時は、プレート電極はV_{dd}或いはビット線のHighレベルに、ビット線はV_{ss}になっていることを特徴とする半導体記憶装置。

【請求項5】 トランジスタのソース・ドレイン端子間に強誘電体キャパシタを並列接続してメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブ

2

ックの一端はビット線に接続され、他端はプレート電極に接続され、該メモリセルブロックを複数配置してメモリセルアレイが構成され、このメモリセルアレイのセルに外部からデータを書き込むための書き込みバッファを備えた半導体記憶装置であって、

前記書き込みバッファは、サイズの小さい第1の書き込みトランジスタと、サイズの大きい第2の書き込みトランジスタからなり、データ書き込み時は、第1の書き込みトランジスタを駆動し始める時間よりも第2の書き込みトランジスタを駆動し始める時間を遅く設定してなることを特徴とする半導体記憶装置。

【請求項6】 トランジスタのソース・ドレイン端子間に強誘電体キャパシタを並列接続してメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続された半導体記憶装置であって、

前記メモリセルのトランジスタと強誘電体キャパシタを接続する配線と同一の金属配線層で、前記プレート電極の配線を構成してなることを特徴とする半導体記憶装置。

【請求項7】 ワード線をゲート電極とするトランジスタと、このトランジスタのソース・ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続された半導体記憶装置であって、前記ワード線より上層に形成され、一定間隔おきにワード線とコンタクトを取るワード線スナップ用の第1の金属配線層と同一の金属配線層で、前記プレート電極とコンタクトを取ることを特徴とする半導体記憶装置。

【請求項8】 ワード線をゲート電極とするトランジスタと、このトランジスタのソース・ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルが構成され、このメモリセルを複数個直列接続すると共に、この直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端がプレート電極に接続され、該メモリセルブロックを複数個配置してメモリセルアレイが構成された半導体記憶装置であって、

ビット線方向で見ると、前記プレート電極を駆動する駆動回路は、前記メモリセルブロックの1個毎或いは2個毎に配置されていることを特徴とする半導体記憶装置。

【請求項9】 nMOSトランジスタとpMOSトランジスタ及び強誘電体キャパシタをそれぞれ並列接続してメモリセルが構成され、このメモリセルを複数個直列接続

10

20

30

40

50

3

すると共に、該直列接続部の少なくとも一端にnMOSトランジスタとpMOSトランジスタを並列接続してなる選択スイッチを少なくとも1個以上直列接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係わり、特に強誘電体キャパシタを用いた不揮発性の半導体記憶装置に関する。

【0002】

【従来の技術】近年、半導体メモリの一つとして強誘電体キャパシタ(Ferroelectric Capacitor)を用いた不揮発性メモリ(FRAM:Ferroelectric RAM)が注目されている。このFRAMは、不揮発性で、しかも書き換え回数が10の12乗、読み出し、書き込み時間がDRAM程度、3V～5Vの低電圧動作等の長所があるため、全メモリ市場を置き換える可能性がある。現状の学会レベルでは、1MビットFRAMの発表が行われている(H.Koike et al., 1996 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp. 368-369, Feb, 1996)。

【0003】FRAMのセルは、開発当初のSRAM+Shadow Memory構成から、2トランジスタ+2キャパシタ構成と、DRAMの開発と同じく時代と共にセル構成の簡略化、微細化により、セルサイズが縮小されてきた。図74(a)に従来のDRAMの1トランジスタ+1キャパシタ構成のメモリセルを、(b)に従来FRAMの1トランジスタ+1キャパシタ構成のメモリセルを示す。明らかに、従来FRAMの1トランジスタ+1キャパシタ構成のメモリセルにおいては、もはやDRAMのトランジスタとキャパシタを直列接続する1トランジスタ+1キャパシタ構成と同様である。

【0004】異なる点は、DRAMでは、図75(a)の電圧-蓄積電荷の関係に示すように、キャパシタとして通常のものを用いるが、FRAMでは、図75(b)の電圧-分極量の関係に示すように、ヒステリシス特性を持つ強誘電体性のものを用いる点である。よって、セルアレイ構成もDRAMと同等で、図74(c)に示すような、フォールデッドBL構成を取り、最小セルサイズは、 $2F \times 4F = 8F^2$ となり、これ以上小さくしにくい。ここで、Fは最小加工寸法を示す。

【0005】無理に $4F^2$ サイズを実現した例として、縦型トランジスタや縦型TFT(Thin Film Transistor)を用いた例(K.Sunouchi et al., 1998 IEEE IEDM Digest of Technical Paper, pp. 23-26, Dec, 1989)等が存在するが、製造が極めて困難である。また、セルトランジスタを直列接続し、その間とPL間にキャパシタを接続して、ほぼ $4F^2$ サイズを実現する(NAND型セ

4

ル)も提案されている(T.Hasegawa et al., 1993 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp. 46-47, Feb, 1993)が、ランダムアクセスができず汎用性に乏しい。

【0006】このように、従来FRAMセルにおいては、(1)小さい $4F^2$ サイズのメモリセル、(2)製造が容易な平面トランジスタ、(3)汎用性のあるランダムアクセス機能、の3点を両立できないという第1の問題点が存在した。

【0007】また、動作方法で言えば、DRAMでは、キャパシタの一端のプレート電極を $(1/2)V_{dd}$ に固定するが、FRAMでは、 $0V \sim V_{dd}$ 間で、変動させる点のみ異なる。この点に関しても、図76(a)に示すような、プレート電極を変動する方式(T.Sumi et al., 1994 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp. 268-269, Feb, 1994等)から、図76(b)(c)に示すような、プレート電極を $(1/2)V_{dd}$ に固定する方式(H.Koike et al., 1996 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp. 368-369, Feb, 1996、又はK.Takeuchi et al., IEICE Trans, Electron., Vol. E79-C, No. 2, Feb, 1996)に切り替わりつつある。

【0008】プレート電極を $0V \sim V_{dd}$ 間を駆動する方式は、プレート電極には多くのメモリセルが接続され、負荷容量が大きく、駆動時間が非常に長いため、従来DRAMと比べて、アクセスタイムとサイクルタイムの両方共動作が遅くなるのが現状である。プレートを $(1/2)V_{dd}$ に固定する方式は、負荷容量の重いプレートを駆動する必要が無いため、DRAMと同等のアクセスタイムとサイクルタイムが実現できる。

【0009】しかしながら、従来FRAMのメモリセルは、図74(b)に示すように、DRAMと同じくトランジスタと強誘電体キャパシタを直列接続した構成を取っており、ストレージノード(SN)は電源投入後のスタンバイ時にフローティングになる。よって、SNに“1”データ保持時、SNがセルトランジスタのpn接合部のジャンクションリークにより V_{ss} に降下するため、プレート電極が $(1/2)V_{dd}$ 固定の場合、セル情報が破壊される。よって、 $(1/2)V_{dd}$ セルプレート方式においては、DRAMと同様なりフレッシュ動作が必要になり、パワーの増加の問題や、セルリークスペックが厳しく製造が困難になる。

【0010】このように、従来FRAMにおいては、高速動作(PL電位固定)とリフレッシュ不要の両立は困難であるという第2の問題点が存在した。

【0011】また、従来のFRAMにおいては、次のような問題点も存在していた。図77(a)は従来FRAMのスタンバイ状態を示し、図77(b)はPL駆動方式の動作を示し、図77(d)は読み出し時のヒステリシス曲線上の軌跡を示す。従来の読み出し方式において

5

は、飽和分極量を P_s 、残留分極量を P_r とすると、図 77 (d) に示すように、“1” データは $P_s + P_r$ 、“0” データは $P_s - P_r$ となり、その差が信号量となる ($1T/1C$ ではその半分)。しかしながら強誘電体キャパシタは、製造ばらつき等により常誘電体成分に大きなばらつきを持ち、これが読み出しマージンを大きく劣化させる。例えば、“1” データでは、 $P_s + P_r$ の内の $P_s - P_r$ 分が常誘電体成分で、“0” データでは、信号全体が常誘電体成分となる。特に PZT 等の強誘電体材料では、誘電率自身の値が大きいため、ばらつきの絶対値も大きき問題となる。

【0012】図 77 (c) はこの問題を解決する従来方式を示す。読み出し時、 PL を V_{ss} から V_{dd} に上げ、さらに V_{dd} から V_{ss} に下げた後、センスアンプを動作させ信号を増幅する方式である。これの読み出し時のヒステリシス曲線上の軌跡を図 77 (e) に示す。

“1” データ ((2) の点) は、一度分極反転して

(1) の点の位置に来るが PL を下げることにより

(3) の位置に来る。よって“1” データは、行き帰りで常誘電体成分がカットされ、残留分極成分: $2P_r$ だけビット線に信号として読み出される。“0” データは、(3) の点から (1) の点に行き、(3) の点に単に戻るだけであるため、信号は読み出されない。結局信号としては、ばらつきの多い常誘電体成分の無い分極成分 $2P_r$ だけとなり、ノイズがなくなる。

【0013】しかしながらこの方法は、図 77 (c) に示すように、データの書き込みを行うために、再度 PL を上げ、 PL を下げるため、結局 2 度 PL を上げ下げする必要が生じるため、図 77 (b) に比べ非常にアクセスタイム及びサイクルタイムが長くなる問題があった。

【0014】

【発明が解決しようとする課題】このように従来の $FRAM$ においては、小さい $4F^2$ サイズのメモリセル、製造が容易な平面トランジスタ、汎用性のあるランダムアクセス機能、の 3 点を両立できないという第 1 の問題点があり、さらに高速動作 (PL 電位固定) とリフレッシュ不要の両立は困難であるという第 2 の問題があった。また、強誘電体キャパシタの常誘電体成分のばらつきを抑制しようすると、動作が遅くなる問題があった。

【0015】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、縦型トランジスタ等を用いることなく $4F^2$ サイズのメモリセルを実現することができ、かつランダムアクセス機能も保つことのできる不揮発性の半導体記憶装置を提供することにある。

【0016】また、本発明の他の目的は、プレート電位の固定による高速動作とリフレッシュ不要の両立をはかり得る半導体記憶装置を提供することにある。

【0017】また、本発明の他の目的は、動作速度の低下を招くことなく、強誘電体キャパシタの常誘電体成分

6

のばらつきを抑制することのできる半導体記憶装置を提供することにある。

【0018】

【課題を解決するための手段】(構成) 上記課題を解決するために本発明は、次のような構成を採用している。

【0019】(1) トランジスタのソース・ドレイン端子間に強誘電体キャパシタを並列接続してメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続された半導体記憶装置であって、ビット線対をなす 2 本のビット線各々に接続され、同一のワード線に接続される 2 個のメモリセルブロックは、各々異なる第 1 のプレート電極と第 2 のプレート電極に接続されてなることを特徴とする。

【0020】(2) ワード線をゲート電極とするトランジスタと、このトランジスタのソース・ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続され、該メモリセルブロックを複数個配置してセルアレイが構成された半導体記憶装置であって、ワード線方向に配置されるメモリセルブロック群に対し、第 1 のプレート電極と第 2 のプレート電極が、1 個毎に交互に、或いは 2 個毎に、メモリセルブロックに接続されてなることを特徴とする。

【0021】(3) トランジスタのソース・ドレイン端子間に強誘電体キャパシタを並列接続してメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続された半導体記憶装置であって、電源投入後のスタンバイ時は、プレート電極は V_{ss} に、ビット線は V_{dd} 或いはビット線の $High$ レベルになっていることを特徴とする。

【0022】(4) トランジスタのソース・ドレイン端子間に強誘電体キャパシタを並列接続してメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続された半導体記憶装置であって、電源投入後のスタンバイ時は、プレート電極は V_{dd} 或いはビット線の $High$ レベルに、ビット線は V_{ss} になっていることを特徴とする。

【0023】(5) トランジスタのソース・ドレイン端子

7

間に強誘電体キャパシタを並列接続してメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続され、該メモリセルブロックを複数配置してメモリセルアレイが構成され、このメモリセルアレイのセルに外部からデータを書き込むための書き込みバッファを備えた半導体記憶装置であって、前記書き込みバッファは、サイズの小さい第1の書き込みトランジスタと、サイズの大きい第2の書き込みトランジスタからなり、データ書き込み時は、第1の書き込みトランジスタを駆動し始める時間よりも第2の書き込みトランジスタを駆動し始める時間を遅く設定してなることを特徴とする。

【0024】(6) トランジスタのソース・ドレイン端子間に強誘電体キャパシタを並列接続してメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続された半導体記憶装置であって、前記メモリセルのトランジスタと強誘電体キャパシタを接続する配線と同一の金属配線層で、前記プレート電極の配線を構成してなることを特徴とする。

【0025】(7) ワード線をゲート電極とするトランジスタと、このトランジスタのソース・ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続された半導体記憶装置であって、前記ワード線より上層に形成され、一定間隔おきにワード線とコンタクトを取るワード線スナップ用の第1の金属配線層と同一の金属配線層で、前記プレート電極とコンタクトを取ることを特徴とする。

【0026】(8) ワード線をゲート電極とするトランジスタと、このトランジスタのソース・ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルが構成され、このメモリセルを複数個直列接続すると共に、この直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端がプレート電極に接続され、該メモリセルブロックを複数個配置してメモリセルアレイが構成された半導体記憶装置であって、ビット線方向で見ると、前記プレート電極を駆動する駆動回路は、前記メモリセルブロックの1個毎或いは2個毎に配置されていることを特徴とする。

【0027】(9) 強誘電体キャパシタを用いた不揮発性

8

の半導体記憶装置において、nMOSトランジスタとpMOSトランジスタ及び強誘電体キャパシタをそれぞれ並列接続してメモリセルが構成され、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端にnMOSトランジスタとpMOSトランジスタを並列接続してなる選択スイッチを少なくとも1個以上直列接続してメモリセルブロックが構成され、このメモリセルブロックの一端はビット線に接続され、他端はプレート電極に接続されていることを特徴とする。

【0028】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

【0029】(a) (1)(2)において、アクティブ動作時、1サイクル中では、第1のプレート電極と第2のプレート電極のいずれか一方のみ $V_{ss} \sim V_{dd}$ 間を動作し、他方は V_{ss} のままであること。

【0030】(b) (2)において、第1、第2のプレート電極は各々、ビット線方向に隣接するメモリセルブロックで共有していること。

【0031】(c) (3)において、動作時、1サイクル中、プレート電極は、一度だけ V_{ss} から V_{dd} 或いはビット線のHighレベルに上がり、 V_{ss} に下がること。

【0032】(d) (4)において、動作時、1サイクル中、プレート電極は、一度だけ V_{dd} 或いはビット線のHighレベルから V_{ss} に下がり、 V_{dd} 或いはビット線のHighレベルに上がること。

【0033】(e) (3)(4)において、メモリセルの強誘電体キャパシタは、2個以上の抗電圧の異なる強誘電体キャパシタを並列接続して構成していること。

【0034】(f) (6)において、金属配線層は、強誘電体キャパシタの上部電極、下部電極の形成後に上層に配設され、上部電極、下部電極とはコンタクトを介して接続されること。

【0035】(g) (7)において、第1の金属配線層とプレート配線層のコンタクト間隔は、1ビット線毎、2ビット線毎、4ビット線毎、或いはワード線スナップ間隔毎であること。

【0036】(作用) 前記(1)(2)によれば、PL線を分けることにより、1T/1C構成で、PL駆動方式を採用しても、選択したワード線に接続されながら、ブロック選択トランジスタがONされずに、セルデータが読み出されないセルブロックに接続されるPL線は駆動されないため、セルデータが読み出されないセルブロック内のフローティングノードの電位は変化せず分極データの低減は起らない。

【0037】前記(3)(4)によれば、アクティブ動作時に既に、PL電位とBL電位の差が V_{dd} になっており、ワード線をOFFし、ブロック選択線をONしただけで、セルの分極情報がビット線に読み出され、一度PLを上げる(或いは下げる)と、ばらつきを持つ常誘電体

10

20

30

40

50

成分がキャンセルでき、読み出しの信頼性が向上する。その後、センスアンプで増幅後、PLを下げる（或いは上げる）と、セルデータの再書き込みが終了する。よって、一度のPLを上げ下げ（下げ上げ）するだけで、ばらつきのある常誘電体成分をキャンセルでき、高速動作と高信頼性の両立が可能となる。

【0038】前記(5)によれば、書き込みスピードが遅いため、強誘電体メモリ特有のデータの書き込み時のノイズを低減できる。

【0039】前記(6)によれば、セルトランジスタと強誘電体キャパシタを接続する金属配線を用いて、PL配線を構成できるため、PL配線の抵抗を低減でき、PL駆動方式における、PL配線のRC遅延が短縮できる。

【0040】前記(7)によれば、ワード線スナップ用の金属配線を用いて、PL配線を構成できるため、PL配線の抵抗を低減でき、PL駆動方式における、PL配線のRC遅延が短縮できる。

【0041】前記(8)によれば、プレート線駆動回路のプレート線駆動トランジスタのサイズを大きくでき、このトランジスタのON抵抗が低減でき、PL駆動方式における、PL配線のRC遅延が短縮できる。

【0042】前記(9)によれば、メモリセルトランジスタ及び、ブロック選択トランジスタをフルCMOS化でき、しきい値電圧落ちがなくなり、ワード線、ブロック選択線をV_{dd}以上に昇圧しなくても、データの読み出し書き込みができ、昇圧回路が不要になり、信頼性の向上及び混載等の容易化が可能となる。

【0043】

【発明の実施の形態】まず、本発明者らが既に提案している先願の内容について説明する。

【0044】前述した第1、第2の大きな問題点に対して本発明者は、不揮発性の強誘電体メモリで、(1)小さい4F²サイズのメモリセル、(2)製造が容易な平面トランジスタ、(3)汎用性のあるランダムアクセス機能、の3点が両立でき、しかもPL電位固定で、高速化を保ちつつ、スタンドバイ中でも、データ保持が可能でリフレッシュ動作を不要とする半導体記憶装置を提案した（特願平9-153137号）。

【0045】先願の概要を簡単に述べる。図78、図79、図80に、先願発明のメモリセルの構成回路と動作例を示す。先願においては、1個のメモリセルは、セルトランジスタと強誘電体キャパシタの並列接続で構成され、1つのメモリセルブロックは、この並列接続のメモリセルを複数直列接続して、一端はブロック選択トランジスタを介してビット線に接続され、他端はプレートに接続される。この構成により、平面トランジスタを用いながら、4F²サイズのメモリセルが実現している。

【0046】図78(a)に示すように、スタンドバイ時には、全てのセルトランジスタをONにしておき、ブロック選択トランジスタをOFFにしておく。こうする

ことにより、強誘電体キャパシタの両端は、ONしているセルトランジスタにより電氣的に短絡されるため、両端の電位差は発生しない。よって、“1”の分極データは、図78(a)のヒステリシス曲線の“1”の点、

“0”の分極データは、ヒステリシス曲線の“0”の点に安定に保持される。これにより、スタンドバイ時、pn接合リーク等の各種リーク電流があらうと、プレートの駆動方式が、0V～V_{dd}駆動方式であらうと、(1/2)V_{dd}固定方式であらうと、セルデータは安全に保持される。

【0047】図78(b)に示すように、アクティブ時は、読み出したい強誘電体キャパシタに並列に接続されるセルトランジスタのみOFFにして、ブロック選択トランジスタをONにする。この時、PLとBL間の電位差が、OFFしたセルトランジスタに並列接続した強誘電体キャパシタの両端にのみ印加され、強誘電体キャパシタの分極情報がビット線に読み出される。よって、メモリセルを直列接続しても、任意のワード線を選択することにより、任意の強誘電体キャパシタのセル情報が読み出され、完全なランダムアクセスが実現できるわけである。これにより、図78に示すセルブロックにより、先願で述べてあるように、オープンBL方式が実現できる。

【0048】さらに、図78に示すセルブロックを2個対にして、各々をビット線対（/BL, BL）のどちらかに接続して、2個のセルブロックで同じワード線に接続される2個のメモリセルを組みにして、2トランジスタ/2強誘電体キャパシタ（=2T/2C）で1ビットを記憶すれば、先願で述べてあるように、フォールデッドBL方式が実現できる。

【0049】また、図79(a)に示すように、ブロック選択トランジスタを2個直列接続して、一方をD（Depletion）タイプのトランジスタにし、ブロック選択トランジスタ（BS0, BS1）のどちらか一方を“H”にすると、2つのセルブロックの一方のデータしかビット線に読み出されず、ビット線対の他方を参照ビット線にすれば、これもフォールデッドBL方式が実現できる。

【0050】図79(b)(c)はフォールデッドBL方式の動作例に示す。先願で述べてあるように、(1/2)V_{dd}固定プレート電極方式（図79(b)）、駆動プレート電極方式（図79(c)）が適用できる。

【0051】しかしながら先願においても、図80に示すように、一部の動作モードで不都合が存在していた。図80は従来FRAMと先願の比較表を示している。従来FRAMでは、2T/2Cセル、1T/1Cセルの両方において、動作の遅いPL駆動方式しか適用できず、(1/2)V_{dd}固定PL方式ではリフレッシュ動作を必要としていた。これに対して先願のセル方式では、2T/2Cセル、1T/1Cセルの両方において、高速の(1/

11

2) V_{dd} 固定 PL 方式も、PL 駆動方式も適用できる。しかしながら、1T/1Cセルで、PL 駆動方式においては、動作上大きなノイズが発生する問題が生じる。

【0052】この問題を図79を用いて説明する。例えば、WL2を選択して、MC1を読み書きしたい場合、WL2をHighからLowにして、セルトランジスタをONし、BS0をLowからHighにして、ブロック選択トランジスタQ1をONする。その後、PLをLowからHighする。

【0053】PL電位は、MC1の強誘電体キャパシタの一端に印加され、ビット線(/BL)電位は、MC1の強誘電体キャパシタの他端に印加されるため、/BLを V_{ss} にプリチャージしてあった場合、PLを V_{ss} から V_{dd} にすることにより、強誘電体キャパシタの両端に $V_{dd}-V_{ss}$ の電位差が印加され、分極データが読み出されるわけである。この時、BS1はLowレベルであり、ブロック選択トランジスタQ2はOFFされたままのため、ビット線BLにはMC2のセル情報が読み出されない。よって、BL側を参照ビット線として、フォールデッドBL方式が取れるわけである。

【0054】しかし、MC2の強誘電体キャパシタの一端がPLに接続されているために、MC2の強誘電体キャパシタの一端も V_{ss} から V_{dd} に上がる。この時、MC2の他端($n1$)及びONしている非選択のセルトランジスタに接続される $n2 \sim n3$ のノードは、WL2に接続されるセルトランジスタがOFFしているためフローティングになる。よって、 $n1 \sim n3$ には必ず寄生容量(総計を C_{tot} とすると)が存在するため、これらのノードは、PLが V_{ss} から V_{dd} に変化すると、強誘電体キャパシタの両端には、0Vではなく、 $C_{tot} / (C_{MC2} + C_{tot}) \times V_{dd}$ の電位差が発生する。即ち寄生容量により、 $n1 \sim n3$ の電位が V_{ss} から V_{dd} に変化せず、僅かに電位が下がり、ノイズとなり一部分極データが破壊される問題点があった。

【0055】先願で述べたように、 $(1/2)V_{dd}$ 固定方式でも同様に $n1 \sim n3$ はフローティングになるが、PL電位が不動のため、アクティブ時間だけ、リーク等により $n1 \sim n3$ が電位が変動しなければ問題ない。アクティブ時間は通常 $t_{RCmax} = 10 \mu s$ であるため、この時間は短く問題がない。

【0056】このように、先願の強誘電体メモリにおいては、製造の容易化、ランダムアクセラ機能を保ちつつ、高集積化を実現し、さらにビット線容量の低減、低ノイズ化をも可能にし、また高速化を保ちつつリフレッシュ動作を不要とすることができるが、1トランジスタ+1キャパシタ構成で、プレート駆動方式を適用する場合、フローティング起因のノイズが存在していた。本発明では、このような問題をも解決している。

【0057】以下、本発明の実施形態を図面を参照として説明する。

12

【0058】(第1の実施形態) 図1は本発明の第1の実施形態に係わるFRAMを示す回路構成図、図2は同実施形態の具体的な動作例を示す信号波形図である。本実施形態は、先願と同様に、1個のメモリセルは、セルトランジスタと強誘電体キャパシタの並列接続で構成され、1つのメモリセルブロックは、この並列接続のメモリセルを複数直列接続して構成され、一端はブロック選択トランジスタを介してビット線に接続され、他端はプレートに接続される。この構成により、平面トランジスタを用いて、 $4F^2$ サイズのメモリセルが実現できる。

【0059】図1に示すように、ブロック選択トランジスタを2個直列接続して、一方をDタイプのトランジスタにし、ブロック選択トランジスタ(BS0, BS1)のどちらか一方をHighにすると、2つのセルブロックの一方のデータしか、ビット線に読み出されず、ビット線対の他方を参照ビット線とするフォールデッドBL方式が実現でき、1個のセルトランジスタと1個の強誘電体キャパシタで1ビットのデータを記憶する1T/1Cセルが構成できる。

【0060】本実施形態が先願と異なる点は、従来1種類であったプレート線が、本実施形態においては、2種類のプレート線(PLBBL, PLBL)に分離されている点である。ビット線対のBBLi(BBL0, BBL1)側に接続されるセルブロックには、プレート線PLBBLが接続され、ビット線対のBLi(BL0, BL1)側に接続されるセルブロックには、プレート線PLBLが接続される構成となる。

【0061】このようにプレート線を分離することにより、図2(b)に示すように、動作時、BBLi側のセルブロック内のセルを選択する場合、PLBBLのみ0V \rightarrow V_{dd} \rightarrow 0Vと駆動してセルデータを読み書きし、参照ビット線となるBLi側に接続されるセルブロックに接続されるプレート線PLBLは0Vのままであるため、フローティングになるセルノードは、0Vのままで、従来分極データが一部破壊される問題を、本実施形態では回避できる。

【0062】セルノードがフローティングであっても、プレート線が0Vであれば、セルノードは、セルノードと0Vにバイアスされた基板(又はウエル)とのpn接合のリークにより常に0Vになるため、強誘電体キャパシタ両端の電位差は0Vのままで、分極データは保存される。本実施形態により、高密度の1T/1C構成で、低電圧動作が可能となるPL駆動方式で、しかもフローティングによる分極データ破壊の問題を回避しつつ実現可能となる。

【0063】本発明の構成においても、1T/1C構成ばかりでなく、2T/2C構成が実現できる。この場合、図2(a)に示すように、ブロック選択信号BS0とBS1を動作時両方Highレベルにし、ビット線対BBLi, BLiにつながるセルブロック両方とも選択

13

して、プレート線も PLBBL, PLBL 両方動作させれば実現できる。

【0064】また、図2 (a) (b) の方式を同じチップ内で実現するようにしておくこともできる。こうすることにより、例えば 2T/2C 構成の製品を販売する場合でも、試験では 1T/1C 構成で動作させ、強誘電体キャパシタ 1 個毎に評価試験ができるメリットがある。1 個のセルブロック毎に、2 つのプレート線を接続するとその分だけチップ面積が増加するが、図に示すように、ビット線方向に隣接した 2 個のセルブロックでプレート線を共有すれば、実質的に 1 個のセルブロック毎に 1 本のプレート線接続となり、面積増を抑えられる。

【0065】(第2の実施形態) 図3は、本発明の第2の実施形態に係わる FRAM を示す回路構成図である。図1に示した第1の実施形態と異なる点は、セルブロックにつながるセル数を 4 個から 8 個に増やした点にある。この場合でも、第1の実施形態と同様の効果がある。このように、セル数は 4 個、8 個、16 個、32 個、64 個と任意に設計できる。セルブロック内のセル数を増やせば増やすほどプレート分離によるチップ面積増の影響は低減できる。

【0066】図4は、図3の変形例であり、Dタイプのトランジスタを用いるのではなく、このトランジスタを無くし、ソース側とドレイン側を直接接続した場合を示している。この場合でも動作は図2と同じで、図1、図3と同じ効果がある。さらに、非選択セルブロックのDタイプのトランジスタ部分の容量がビット線容量として見えないメリットがある分、ビット線容量が低減できる。

【0067】(第3の実施形態) 図5～図13は本発明の第3～第7の実施形態を示し、図1の構成にダミーセル部分を加えた場合の実施形態である。これらの実施形態も当然図1と同様に、フローティングによる分極データ破壊の問題は回避できる。勿論、図3、図4の形態も適用できるし、セルブロック内のセル数も任意に設計できる。

【0068】図5は、本発明の第3の実施形態に係わる FRAM を示す回路構成図であり、強誘電体メモリセルブロック及びダミーセル構成を示している。ダミーセルにおいてもメモリセルと同様に、強誘電体キャパシタとセルトランジスタの並列接続で構成され、これをメモリセルと同様に複数個並列接続してダミーセルブロックを構成する。本実施形態では、ビット線対 (BBLi, BLi) で 1 個のダミーセルブロックを共有している。例えば、BBLi にセルデータを読み出す場合、DBS0 を high レベルにすれば、ダミーセルが参照ビット線側の BLi に接続され、BLi にセルデータを読み出す場合、DBS1 を high レベルにすれば、ダミーセルが参照ビット線側の BBLi に接続される。

【0069】図6は、図5の構成の動作例を示す。図6

14

(a) は 1T/1C 構成で、プレート駆動方式の場合を示す。WL2 及び DWL2 を Low レベル、BS0 及び DBS0 を High レベルにして、メモリセル及びダミーセルをビット線に接続後、メモリセルブロック用プレート線 (PLBBL, PLBL) の内の 1 本と、ダミーセルブロック用のプレート線 (DPL) を駆動することにより、セルデータとダミーセルデータがビット線に読み出される。データの読み書き後、BS0 を下げ、WL2 を上げ、ビット線を Vss にプリチャージした後も、DWL を Low、DBS0 を High に保つことにより、ダミーセルに “0” データが再書き込みされる。その後、DBS0 を下げ DWL2 を上げることにより、アクティブ動作が終了する。

【0070】ダミーセルの強誘電体キャパシタの面積をメモリセルの強誘電体キャパシタ面積より大きく設計しておく、と、ダミーセルの “0” データがメモリセルの “0” データと “1” データ間に来ることができ、基準となり得る。

【0071】図6 (b) は、(1/2)Vdd 固定プレート方式動作の場合を示し、図6 (a) に比べ、プレートを固定させた点を除き動作は同様である。

【0072】(第4の実施形態) 図7は、本発明の第4の実施形態に係わる FRAM を示す回路構成図であり、強誘電体メモリセルブロック及びダミーセル構成を示している。図5と異なる点は、ダミーセルブロック内にリセットトランジスタ (Q3, Q4) とリセット信号 (RST) を追加した点である。本実施形態の効果としては、図5と比較してサイクルタイムが短くなるメリットがある。その動作例を図8に示す。

【0073】図8 (b) は 1T/1C 構成で、プレート駆動方式の場合を示す。WL2 及び DWL2 を Low レベル、BS0 及び DBS0 を High レベルにして、メモリセル及びダミーセルをビット線に接続後、メモリセルブロック用プレート線 (PLBBL, PLBL) の内の 1 本と、ダミーセルブロック用のプレート線 (DPL) を駆動することによりセルデータとダミーセルデータがビット線に読み出される。

【0074】その後、センスアンプ動作前、或いは動作後、DBS0 を下げ、ダミーセルブロックとビット線を分離して、複数の直列接続されたダミーセルブロックの一端のプレート線を High に保ったまま、RST 線を上げ、他端を Vss1 に落とし、選択されたダミーセルの強誘電体キャパシタの両端に Vdd の電位差を印加してダミーセルに “0” データを再書き込みする。なお、ダミーセルの強誘電体キャパシタの面積ばかりでなく、ダミープレート電位、リセット電位 (Vss1) を自由に設計することでもリファレンス電位を設定できる。

【0075】その後、RST 線を下げ、プレート線 (DPL) を下げ、DWL2 を上げることにより、アクティブ動作は終了する。メモリセルの (再) 書き込み動作及

10

20

30

40

50

15

び、WL 2、BS 0のリセット動作はダミーセル動作と並列で実行でき、図6のように、WL 2、BS 0のリセット後、ダミーセルの書き込み動作をする必要がなく、サイクルタイムの短縮が図れる。

【0076】図8(a)は、 $(1/2)V_{dd}$ 固定プレート方式動作の場合を示し、図8(b)に比べ、プレートを固定させた点を除き動作は同様である。

【0077】(第5の実施形態)図9は、本発明の第5の実施形態に係わるFRAMを示す回路構成図であり、強誘電体メモリセルブロック及びダミーセル構成を示している。本実施形態では、ダミーセルに常誘電体キャパシタを用いている。

【0078】本実施形態のように常誘電体キャパシタを用いた場合、ダミーセルキャパシタ面積が大きくなるデメリットがある反面、疲労、relaxation(depolarization)、Imprint等の膜の劣化が小さく(無く)、リファレンス電位が安定化するメリットがある。図9のダミーセルは、常誘電体キャパシタと、これをショートさせるトランジスタ(Q5、Q6)とこれを制御する信号線(RST)と、ビット線対の内的一方に接続する選択トランジスタ(Q7、Q8)と、その制御線(DWL0、DWL1)と、プレート線(DPL)から構成されている。

【0079】(第6の実施形態)図10は、本発明の第6の実施形態に係わるFRAMを示す回路構成図であり、強誘電体メモリセルブロック及びダミーセル構成を示している。本実施形態では、図9と同様に常誘電体キャパシタを用いたダミーセルを用いている。

【0080】本実施形態が図9のダミーセルと異なる点は、RST信号を用いて、常誘電体キャパシタをショートさせるのではなく、常誘電体キャパシタの一端をプレートに接続して、他端をRST信号をHighレベルにすることにより、任意の電位 V_{ss1} に接続して、常誘電体キャパシタをDPL- V_{ss1} の電位差にリセットすることにある。まず、図9、図10は次の図11に示すように、同じ動作が可能である。

【0081】図11(a)は、1T/1C構成で、プレート駆動方式の場合を示す。WL2をLowレベル、BS0をHighレベルにして、メモリセルをビット線に接続し、DWL0をHighレベルにしてダミーセルをリファレンスビット線に接続する。その後、セルブロック用プレート線(PLBBL、PLBL)の内の1本を駆動して、セルデータをビット線に読み出し、ダミーセルは、ダミーセルプレート線(DOPL)を駆動することによりキャパシタカップリングにより、リファレンスビット線を所望の電位にする。その後、DWL0を下げ、DPL線を V_{ss} にし、RST線をHighレベルにすることにより、ダミーセルの常誘電体キャパシタの電位差を0Vにリセットできし、アクティブ動作が終了する。

【0082】図11(b)は、 $(1/2)V_{dd}$ 固定プレ-

16

ト方式動作の場合を示し、図11(a)に比べ、プレートを固定させた点を除き動作は同様である。但し、ダミーセルのプレートはキャパシタカップリングを用いるため、駆動する。なお、ダミーセルプレート線を $(1/2)V_{dd}$ (或いは任意の電位)に固定することも可能で、例えば、図9において、スタンバイ時、DPLを $(1/2)V_{dd}$ にしておいて、RSTを下げると、常誘電体キャパシタの両端は $(1/2)V_{dd}$ になっているため、DWL0を上げると自動的にキャパシタカップリングでリファレンスビット線電位が上がるため動作が可能となる。

【0083】なお、図10の例では、スタンバイ時、常誘電体キャパシタの両端を $(1/2)V_{dd}$ にしておくためには、DPLばかりでなく、 V_{ss1} も $(1/2)V_{dd}$ に設定しておく必要がある。

【0084】(第7の実施形態)図12は、本発明の第7の実施形態に係わるFRAMを示す回路構成図であり、強誘電体メモリセルブロック及びダミーセル構成を示している。本実施形態においては、図9、図10と同様に、常誘電体キャパシタを用いたダミーセルを用いているが、プレート線(DPL)と常誘電体キャパシタと選択トランジスタでダミーセルを構成し、リセットトランジスタを省略している。図12のメリットは、リセットトランジスタ、リセット信号が要らず、最も素子数が少なく済む点である。この動作例を図13に示す。

【0085】図13(a)は1T/1C構成で、プレート駆動方式の場合を示す。WL2をLowレベル、BS0をHighレベルにして、メモリセルをビット線に接続する。同時に、スタンバイ時に両方Highレベルであった、ダミーセル用選択線DWL0、DWL1の内、セルデータが読み出されるビット側の選択線のみをHighレベルからLowレベルに下げ、常誘電体キャパシタをリファレンスビット線にのみ接続する。

【0086】その後、セルブロック用プレート線(PLBBL、PLBL)の内の1本を駆動して、セルデータをビット線に読み出し、ダミーセルは、ダミーセルプレート線(DPL)を駆動することによりキャパシタカップリングにより、リファレンスビット線を所望の電位にする。センス動作後、DPLを下げ、その後、ダミーセル用選択線DWL0、DWL1を両方Highに戻す。セルデータ書き込み後、ビット線が V_{ss} にプリチャージされると、DWL1、DWL0がHighのため、自動的に、常誘電体キャパシタの両端は0Vになりリセットされる。

【0087】図13(b)は、 $(1/2)V_{dd}$ 固定プレート方式動作の場合を示し、図13(a)に比べ、プレートを固定させた点を除き動作は同様である。但し、ダミーセルのプレート線は駆動する必要が生じる。

【0088】(第8の実施形態)図14は、本発明の第8の実施形態に係わるFRAMの動作方式を示す信号波形図である。

10

20

30

40

50

17

【0089】本実施形態は先願と同様に、1個のメモリセルは、セルトランジスタと強誘電体キャパシタの並列接続で構成され、1つのメモリセルブロックは、この並列接続のメモリセルを複数直列接続して、一端はブロック選択トランジスタを介してビット線に接続され、他端はプレートに接続されるメモリセルに適用でき、先願の方式と比べ、強誘電体キャパシタの常誘電体成分のばらつきを制御しつつ、高速動作が可能となる。

【0090】前記図77で示したように、シングルプレート方式(図77(b))においては、プレート電極を動作時、 $V_{ss} \rightarrow V_{dd} \rightarrow V_{ss}$ と1回動作させればよかったが、図77(d)に示したように、飽和分極量を P_s 、残留分極量を P_r とすると、“1”データは $P_s + P_r$ 、“0”データは $P_s - P_r$ となり、その差が信号量となる(1T/1Cではその半分)。しかしながら強誘電体キャパシタは、製造ばらつき等により常誘電体成分に大きなばらつきを持ち、これが読み出しマージンを大きく劣化させる問題点があった、さらに、この問題を解決する従来方式のダブルプレート方式(図77(c))は、プレート電圧を動作時、 $V_{ss} \rightarrow V_{dd} \rightarrow V_{ss} \rightarrow V_{dd} \rightarrow V_{ss}$ と2度動作させ、図77(e)に示したように、行き帰りで常誘電体成分をキャンセルでき、ばらつきの問題点をキャンセルできるメリットがある反面、2度PLを上げ下げする必要が生じるため、非常にアクセスタイム及びサイクルタイムが長くなる問題点があった。

【0091】これに対して図14においては、1度のプレート駆動で、2度プレート駆動したのと同様に、常誘電体成分をキャンセルできる。2種類の動作が可能であり、図14(a)は、プリチャージ時、プレート(PL)を0V、ビット線(BLs)を V_{dd} に逆にプリチャージする。これにより、WL2を下げ、BS0を下げるだけで、プレートを駆動すること無く、選択した強誘電体キャパシタの両端に V_{dd} の電位が印加される。

【0092】従来方式のメモリセルにおいては、セルトランジスタと強誘電体キャパシタが直列接続されており、スタンバイ時、セルノードがフローティングであるため、プレートを0Vにしておかなければ、ジャンクションリークによりセル分極データが破壊されるし、ビット線電位も0Vにしておかなければ、トランジスタリークによりセル分極データが破壊される問題点があったが、先願のメモリセル構成においては、スタンバイ時、セルトランジスタがONして、強誘電体キャパシタが常にショートされているため、プレート電位、ビット線電位に制限が無いメリットがあった。本実施形態のスタンバイ時のプレート電位とビット線電位の逆プリチャージは、このメリットを生かしている。

【0093】このような読み出し方式により、“1”データは図77(e)の(2)の点から(1)の点に、“0”データは(3)の点から(1)の転移に遷移し

18

て、分極データがビット線に読み出される(図77

(e)において、x軸の極性は従来方式の説明と逆である)。その後、PLを初めて、 V_{dd} に上げると、

“1”データは図77(e)の(1)の点から(3)の点に、“0”データも(1)の点から(3)の転移に遷移する。これにより、“1”データは、行き帰りで常誘電体成分がカットされ、残留分極成分: $2P_r$ だけビット線に信号として読み出される。“0”データは、

(3)の点から、(1)の点に行き、(3)の点に単に戻るだけであるため、信号は読み出されない。結局、信号としては、ばらつきの多い常誘電体成分の無い、分極成分 $2P_r$ だけとなり、ノイズがなくなる。

【0094】この後、ビット線対の電位差をセンスアンブ回路で増幅する。プレートが V_{dd} のままにしておくと、0Vに下げられた“0”データの再書き込みが行われ、その後、プレートを V_{ss} に下げると、 V_{dd} に上げられた“1”データの再書き込みが行われ、再書き込みが終了する。その後、BS0を下げ、WL2を上げ、ビット線を V_{dd} にプリチャージしてアクティブ動作が終了する。つまり、本実施形態により、プレートは1回の上げ下げ動作だけで済み、高速化とばらつきキャンセルの両立が実現できる。

【0095】図14(b)は、図14(a)に対しプレートとビット線の電位を完全に逆動作させた場合を示す。この方法においても、1度のプレート駆動で、2度プレート駆動したと同様に、常誘電体成分をキャンセルできる。プリチャージ時、プレート(PL)を V_{dd} 、ビット線(BLs)を V_{ss} に逆にプリチャージする。これにより、WL2を下げ、BS0を下げるだけで、プレートを駆動すること無く、選択した強誘電体キャパシタの両端に V_{dd} の電位が印加される。

【0096】このような読み出し方式により、“1”データは図77(e)の(2)の点から(1)の点に、“0”データは(3)の点から(1)の転移に遷移して、分極データがビット線に読み出される。その後、PLを初めて、 V_{ss} に下げると、“1”データは図77(e)の(1)の点から(3)の点に、“0”データも(1)の点から(3)の転移に遷移する。

【0097】これにより、“1”データは、行き帰りで常誘電体成分がカットされ、残留分極成分: $2P_r$ だけビット線に信号として読み出される。“0”データは、(3)の点から、(1)の点に行き、(3)の点に戻るだけであるため、信号は読み出されない。結局信号としては、ばらつきの多い常誘電体成分の無い、分極成分 $2P_r$ だけとなり、ノイズがなくなる。

【0098】この後、ビット線対の電位差をセンスアンブ回路で増幅する。プレートが V_{ss} のままにしておくと、 V_{dd} に上げられた“1”データの再書き込みが行われ、その後、プレートを V_{dd} に上げると、 V_{ss} に下げられた“0”データの再書き込みが行われ、再書き

10

20

30

40

50

19

込みが終了する。その後、BS0を下げ、WL2を上げ、ビット線をVssにプリチャージしてアクティブ動作が終了する。結局本発明により、プレートは一回の上げ下げ動作だけで済み、高速化とばらつきキャンセルの両立が実現できる。

【0099】図14(a)(b)の方式は、先願の2T/2C方式(図15(a))にも適用できるし、プレート電極を分離した、本発明の方式(図15(b))にも適用できる。この場合、1T/1C、2T/2Cの両方が実現できる。

【0100】(第8の実施形態)図16は、本発明の第9の実施形態に係わるFRAMの動作を示す信号波形図である。図14、図15のプレート、ビット線逆プリチャージ方式適用時の、電源ON、電源OFF時の動作シーケンスを示す。図16(a)は、図14(a)の場合を示し、図16(b)は図14(b)の場合を示す。

【0101】図16(a)において、電源ON時は、電源が完全に立ち上がって、プレート電位をVssに保ちつつ、内部ノードが安定してから、ビット線電位(ビット線プリチャージ電源:VBL)をVddにすれば、セルデータが破壊されなく、電源OFF時は、VddがVccminに下がる前にビット線電位(ビット線プリチャージ電源:VBL)をVssに下げれば、セルデータが破壊されない。

【0102】図16(b)において、電源ON時は、電源が完全に立ち上がって、ビット線電位(ビット線プリチャージ電源:VBL)をVssに保ちつつ、内部ノードが安定してから、プレート電位をVddにすれば、セルデータが破壊されなく、電源OFF時は、VddがVccminに下がる前にプレート電位をVssに下げれば、セルデータが破壊されない。

【0103】(第10の実施形態)図17は、本発明の第10の実施形態に係わるFRAMのセンスアンプ部構成を示す図である。図14(a)のプリチャージ時、プレートをVssに、ビット線をVddにする方式に適用できるセンスアンプ回路を示す。

【0104】センスアンプ回路とは別に、ビット線をプリチャージするためのトランジスタが設けられており、プリチャージ時にEQL信号をLowレベルにすることにより、ビット線対をVddにプリチャージできる。

【0105】(第11の実施形態)図18は、本発明の第11の実施形態に係わるFRAMのセンスアンプ部構成を示す図である。図14(b)のプリチャージ時、プレートをVddに、ビット線をVssにする方式に適用できるセンスアンプ回路を示す。この例では、プリチャージ時EQL信号をHighレベルにすることにより、ビット線対をVssにプリチャージできる。

【0106】(第12の実施形態)ところで、プレート電位、ビット線電位プリチャージ方式は、先願に示したように、1個のメモリセルは、セルトランジスタと複数の

20

の抗電圧の異なる強誘電体キャパシタの並列接続で構成し、1つのメモリセルブロックは、このメモリセルを複数直接接続して、一端はブロック選択トランジスタを介してビット線に接続され、他端はプレートに接続されるメモリセルの構成して1個のメモリセルに2ビット以上の多ビットの情報を記憶させる方式に適用した場合、大幅に読み出し信頼性の向上と高速動作の両立が可能となる。これは、先願の多ビットセル方式においては、先願の1ビット方式よりも増して、強誘電体キャパシタの常誘電体成分のばらつきが大きく見え、これを抑制することが重要であるためである。

【0107】図19は先願における多ビット/セル方式のセルブロック等価回路を示す。強誘電体キャパシタCaとCbでは、Caの抗電圧をVca、Cbの抗電圧をVcbとするとVca<Vcbの関係が成り立つ。図20は先願における図19のセル構造の断面図の一例を示している。CaとCbでは、Caの強誘電体キャパシタの膜厚をCbに比べ薄くすることにより実現できる。図21は、図19の多ビット/セル方式の動作を示す、理論上のヒステリシス曲線を示し、図22は実際のヒステリシス曲線を示す。

【0108】図21を用いて簡単に動作を説明する。図21(a)は強誘電体キャパシタCaのヒステリシス曲線を示し、図21(b)は強誘電体キャパシタCbのヒステリシス曲線を示す。図21(c)は、CaとCbを並列接続した場合のヒステリシス曲線を示す。CaとCb各々に1ビットの情報を記憶する。

【0109】図21(c)において、E'点はCa、Cb各々1データと1データ(=11)を記憶している点を示し同様に、F'点は10、C'点は01、A'点は00の結果として4つ状態を持ち、2ビットデータを記憶する。

【0110】読み書き動作としては、Cbの抗電圧以下の電圧を並列強誘電体キャパシタに印加して、Caのデータを読み出し、その後、Cbの抗電圧以上の電圧を並列強誘電体キャパシタに印加して、Cbのデータを読み出し、再書き込みして、その後、Cbの抗電圧以下の電圧を並列強誘電体キャパシタに印加して、Caの再書き込みを行うわけである。

【0111】しかしながら先願の多ビット/セル方式においては、Vca<Vcbを実現する場合、実際のCa、Cbのヒステリシス曲線は、図22(a)(b)示すように、CaとCbでは、抗電界が等しい強誘電体キャパシタ材料の膜厚を変えて構成した場合、厚みが異なる分だけ誘電率が異なり、Caの常誘電体キャパシタ成分が大きくなってしまふ。結果として、CaとCbを並列接続したヒステリシス曲線(図22(c))は、2種類の常誘電体キャパシタ成分が交じり、読み出しマージンを劣化させてしまふ。特に、Cbの読み出し時、Caの大きな常誘電体キャパシタ成分が混じり、常誘電体キ

10

20

30

40

50

21

ャバシタ成分がばらつくと大きな問題点となる。

【0112】上記したような多ビット／セル構成で、プレート駆動方式を採用する場合も、フォールデッドBL構成で、ダミーセルを利用する場合は、前記図1で示したように、プレート線を2種類に分けることにより、フローティングになるセルノードによるノイズをなくすることができる。図23は、本発明の第12の実施形態に係わるFRAMの強誘電体メモリセルブロックの断面図であり、2ビット／セルでプレートを2種類(PLBL, PLBL)に分離した場合を示している。

【0113】この実施形態では、膜厚が異なり、抗電圧が異なる強誘電体キャパシタを縦方向に形成した場合を示している。勿論、先願に示したように、膜厚が異なり抗電圧が異なる強誘電体キャパシタを横方向に積層した場合も、プレートを容易に分離できる。

【0114】(第13の実施形態)図24は、先願で説明したプレート駆動方式を適用した場合の多ビット／セルの動作の具体的な動作タイミングの例を示す。1回目のWL02がLowレベルになると、プレート(PL)及び、ビット線(/BL, BL)を小振幅動作させ、Caのデータのみ読み出しアレイ外で一時記憶する。その後、Caの“1”データと“0”データの両方場合での差をなくするため、強誘電体キャパシタに一定電圧を印加して、Caに“0”データを書き込む。

【0115】2回目のWL02がLowレベルになると、プレート(PL)及び、ビット線(/BL, BL)を大振幅動作させ、Cbのデータの読み書きを行い、最後に、3回目のWL02がLowレベルになると、一時記憶しておいたCaデータをCaに再び書き込む。この場合、当然図22で説明した、常誘電体キャパシタ成分のノイズは大きなままである。なお、図中、(1)に示す1回～3回目間で、WL02とBS0をリセットせずに、WL02をLowのまま、BS0をHighのままでも動作可能である。

【0116】図25は、本発明の第13の実施形態における駆動方式を示す動作タイミング図である。本実施形態では、1～3回目WL02をLowのまま、BS0をHighの間まで、しかも1回目のCaのデータ読み出し後、EQLをHighにしてビット線対(/BL, BL)をVssに落とし、Caのデータをリセットした後もプレート(PL)を小振幅のHighのままにしておき、EQLをLowにして、ビット線のイコライズを解除した後、PLを大振幅のHigh電位にしてCbのデータを読み出している。これにより、図24に比べ余分なプレート動作をなくし、高速動作を実現できる。

【0117】(第14の実施形態)図26は、本発明の第14の実施形態を説明するためのもので、図25の動作及びその他の多ビット／セルの動作例の動作を実現するコア部回路構成を示している。

【0118】図26(a)に示すように、2つの電源V

22

a, Vbを用いて、 ϕa , ϕb を切り換えることにより、図25に示すような小振幅と大振幅のプレート動作を実現できる。同様に、図26(b)に示すように、pMOSセンスアンプ回路の電源線(VSAH)を $\phi s a$, $\phi s b$ を切り換えることにより、2つの電源Va, Vbに接続でき、図25に示すような、小振幅と大振幅のビット線動作を実現できる。信号RONに接続されるトランジスタと強誘電体キャパシタを用いて、1回目のCaのデータを蓄えるテンポラリイ・レジスタが容易に実現できる。

【0119】図25に示すように、1回目のCaデータの読み出し動作時でビット線の増幅後、RONをHighにして、レジスタ内のキャパシタにCaのデータを書き込み、RONをLowにして保持する。例えば、RPL線をVaにしておけば、“0”データ側のビット線に接続される強誘電体キャパシタは分極反転、“1”側は非分極反転となり、データが保持できるわけである。3回目のCaデータ書き込み動作時としては、2回目のCbデータの読み書き終了後、EQLをHighにして、ビット線対をVssに落としてから、EQLをLowにして、ビット線対をVssにプリチャージした後、RONをHighにしてレジスタデータをビット線に読み出す。このとき、例えばRPL線をVa電位に設定しておけば、2個の強誘電体キャパシタの1個が分極反転読み出し、他方が非分極反転読み出しとなる。

【0120】この後、ビット線を増幅して、Caデータをメモリセルに再書き込みする。データの再書き込みにおけるPL動作としては、図25の(2)に示すように、ビット線の増幅後、PLを上げ下げしてもよいし、図25の(1)に示すように、2回目の読み書き後のEQLをHighにした状態で、PLを前もって上げておいて、ビット線増幅後PLを下げてよい。また、1回目のCaの読み出しときは、図25の(3)のように、図26(b)の $\phi t i$ を上げたまま増幅してもよいし、図25の(4)のように、 $\phi t i$ を一旦下げて、センスアンプ内だけビット線を増幅してもよい。これは、セルアレイ内のビット線を増幅する必要をなくし、高速動作を可能にする。

【0121】図25にカラム選択線(CSL)の動作例を示す。本多ビット／セル方式によりセンスアンプ部のビット線は小振幅、大振幅となるが、図25に示すように、/DQ, DQ線が大振幅のままの場合、CSLをHighにした場合、1回目に外部データから書き込みがあった場合、小振幅より大きな電位がセンスアンプのビット線に書き込まれる。これは、図26(a)の回路を用いて図25の(5)に示すようにCSL電位も小振幅、大振幅の2種類用意すれば回避できる。また、図25の(6)に示すようなCSLを大振幅のままにして、図26(a)のような回路で/DQ, DQ線の書き込み時の振幅を2種類用意しても回避できる。

23

【0122】ダミーセルとしては、強誘電体キャパシタを用いてもよいし、図27(c)(d)のような常誘電体キャパシタを用いてもよい。図27(c)の例では、ダミープレート線(DPL)の振幅電位を1回目と2回目の読み出しで、 $V_{a'}$ 、 $V_{b'}$ と変えることにより、 C_a 、 C_b の各々のセルに合わせてダミーセル電位をチューニングできる。図27(d)の例では、DPL電位は、1回目と2回目で変化させずとも、ダミーセル電位を変える例を示す。

【0123】例えば、異なる容量の常誘電体キャパシタDC0、DC1を用意して、1回目の読み出し時にRST1をHigh、RST0をLowにして、DPLをHighにすると、常誘電体キャパシタCD0がビット線に読み出され、3回目の読み出し時にRST0をHigh、RST1をLowにして、DPLをHighにすると、常誘電体キャパシタDC1がビット線に読み出され、REFERENCE側のビット線電位を変えることができる。変形例として、RST1とRST0をHighにして、並列容量を用いることもできる。

【0124】(第15の実施形態)図28は、本発明の第15の実施形態に係わるFRAMの動作を説明するための動作タイミング図である。図24と異なる点は、プレート電極を1回目と2回目で、2度上げ下げしている点である。一度プレートを上げ下げしたあと読み出したデータをセンスアンプで増幅してやれば、常誘電体キャパシタ成分をキャンセルでき、特に多ビット／セル方式での2種類の常誘電体キャパシタ成分によるノイズをキャンセルでき、読み出しの信頼性が大幅に向上できる。なお、図24と同様に図28において、(1)に示す1回～3回目間で一々WL02とBS0をリセットせずに、WL02をLowのまま、BS0をHighのままでも動作可能である。3回目にWL02を下げる時は、 C_a の書き込みのみ行うため、プレートは一度だけ、上げ下げするだけで良い。

【0125】このように、先願とダブルプレート方式を組み合わせると、先願1ビット当たり $2F^2$ サイズ以下のメモリセルを実現しつつ、これの問題点である2種類の常誘電体キャパシタ成分によるノイズ、及び常誘電体キャパシタ成分のばらつき成分のノイズをキャンセルでき、高い信頼性を得ることが可能となる。

【0126】(第16の実施形態)図29及び図30は、本発明の第16の実施形態に係わるFRAMの動作を説明するための動作タイミング図であり、先願の多ビット／セル方式で、プレートの駆動回数を減らし高速動作を実現しつつ、2種類の常誘電体キャパシタ成分によるノイズ、及び常誘電体キャパシタ成分のばらつき成分のノイズをキャンセルでき、高い信頼性を得ることが可能とする動作を示す。原理的には、図14のプレートとビット線を逆にプリチャージする方式でこれを実現している。

24

【0127】図29の例では、スタンドバイ時、ビット線を小振幅のHighレベルにプリチャージして、プレートを V_{ss} にプリチャージしておく。WL02、BS0選択後は、プレート駆動せずに、強誘電体キャパシタ C_a に電圧が印加され、 C_a のデータが読み出される。その後、プレートを小振幅のHighレベルにすると、常誘電体キャパシタ成分がキャンセルできる。

【0128】その後、PLをLow、BLをHighにして、 C_a に一定電圧を印加して“0”、“1”データの差を無くし、BS0をLowレベルにして、セルブロックとビット線を分離する。この間に、ビット線を大振幅のHighレベルにプリチャージして2回目もBS0をHighレベルにするだけで、 C_b の強誘電体キャパシタの分極データがビット線に読み出され、PLをHighレベルにして、常誘電体キャパシタ成分を無くし、その後センス動作させ、データの書き込みをするため、PLをLowレベルにする。3回目は、 C_a の書き込みのみ行うため、当然PLを1回上げ下げするだけで済む。なお、図中(1)線に示すように1回目～3回目でWL02を上げ直すのを省略できる。

【0129】図30は図29と同様に、図14のプレートとビット線を逆にプリチャージする方式でこれを実現している。図30の例では、図29とプレートとビット線の電位が逆なだけであとは同じである。スタンドバイ時、ビット線をLowレベルにプリチャージして、プレートを小振幅のHighレベルにプリチャージしておく。WL02、BS0選択後は、プレート駆動せずに、強誘電体キャパシタ C_a に電圧が印加され、 C_a のデータが読み出される。その後、プレートを V_{ss} レベルにすると、常誘電体キャパシタ成分がキャンセルできる。

【0130】その後、PLをHigh、BLをLowにして、 C_a に一定電圧を印加して“0”、“1”データの差を無くし、BS0をLowレベルにして、セルブロックとビット線を分離する。この間に、プレート線を大振幅のHighレベルにプリチャージして2回目もBS0をHighレベルにするだけで、 C_b の強誘電体キャパシタの分極データがビット線に読み出され、PLをLowレベルにして、常誘電体キャパシタ成分を無くし、その後センス動作させ、データの書き込みをするため、PLをHighレベルにする。3回目は、 C_a の書き込みのみ行うため、当然PLを1回下げ上げするだけで済む。なお、図中(1)線に示すように1回目～3回目でWL02を上げ直すのを省略できる。

【0131】(第17の実施形態)図31及び図32は、本発明の第17の実施形態に係わるFRAMの動作を説明するためのもの動作タイミング図であり、図29及び図30の効果を実現しつつ、さらにPL駆動回数を減らし高速化を実現している。

【0132】図31の例では、スタンドバイ時、ビット線を小振幅のHighレベルにプリチャージして、プレ

25

ートをVssにプリチャージしておく。WL02, BS0選択後は、プレート駆動せずに、強誘電体キャパシタCaに電圧が印加され、Caのデータが読み出される。その後、プレートを小振幅のHighレベルにすると、常誘電体キャパシタ成分がキャンセルできる。

【0133】その後、PLをHighのまま、BL対をLowにして、Caに一定電圧を印加して“0”，“1”データの差を無くし、BS0をLowレベルにして、セルブロックとビット線を分離する。この間に、プレート線を大振幅のHighレベルにして2回目もBS0をHighレベルにするだけで、Cbの強誘電体キャパシタの分極データがビット線に読み出され、PLをLowレベルにして、常誘電体キャパシタ成分を無くし、その後センス動作させ、データの再書き込みをするため、PLをHighレベルにする。そして、BS0をLowにして、ビット線をVssにプリチャージし、プレートを小振幅のHighレベルにする。BS0をHighにして3回目を行う。PLを小振幅のHighからVssにするだけでCaの再書き込みができる。なお、図中(1)線に示すように1回目～3回目でWL02を上げ直すのを省略できる。

【0134】図32の例では、スタンドバイ時、プレート線を小振幅のHighレベルにして、ビット線をVssにプリチャージしておく。WL02, BS0選択後は、プレート駆動せずに、強誘電体キャパシタCaに電圧が印加され、Caのデータが読み出される。その後、プレートをVssレベルにすると、常誘電体キャパシタ成分がキャンセルできる。

【0135】その後、PLをLowのまま、BL対を小振幅のHighレベルにして、Caに一定電圧を印加して“0”，“1”データの差を無くし、BS0をLowレベルにして、セルブロックとビット線を分離する。この間に、ビット線対を大振幅のHighレベルにして2回目もBS0をHighレベルにするだけで、Cbの強誘電体キャパシタの分極データがビット線に読み出され、PLを大振幅のHighレベルにして、常誘電体キャパシタ成分を無くし、その後センス動作させ、データの再書き込みをするため、PLをVssレベルにする。そして、BS0をLowにして、ビット線を小振幅のHighレベルにプリチャージする。BS0をHighにして3回目を行う。PLをVssレベルから小振幅のHighレベルにするだけでCaの再書き込みができる。なお、図中(1)線に示すように1回目～3回目でWL02を上げ直すのを省略できる。

【0136】(第18の実施形態)図33は、本発明の第18の実施形態に係わるFRAMの動作を説明するための動作タイミング図である。これは、ビット線とプレート線の逆プリチャージ方式とダブルプレート方式の組み合わせた場合を示す。

【0137】図33では、Caの読み出しは、ビット線

26

を小振幅のHighレベルにプリチャージし、プレート線をVssに逆にプリチャージする方式を適用し、Cbの読み書きでは、ビット線とプレート線をVssにプリチャージした後に行い、ダブルプレート方式を適用している。Caの再書き込みでは、プレートの上げ下げで再書き込みを行う。本実施形態の特徴は、1回目～3回目間で、BS0とWL02の上げ下げを省略できる点である。

【0138】(第19の実施形態)図34は、本発明の第19の実施形態に係わるFRAMの動作を説明するための動作タイミング図である。これは、ビット線とプレート線の逆プリチャージ方式とダブルプレート方式の組み合わせた場合を示す。

【0139】図34では、Caの読み出しは、プレート線を小振幅のHighレベルにプリチャージし、ビット線をVssに逆にプリチャージする方式を適用し、Cbの読み書きでは、ビット線とプレート線をVssにプリチャージした後に行い、ダブルプレート方式を適用している。Caの再書き込みでは、プレートの上げだけで再書き込みを行う。本実施形態の特徴は、1回目～3回目間で、BS0とWL02の上げ下げを省略できる点である。

【0140】(第20の実施形態)図35は、先願におけるその他の問題点を示す図である。先願の1個のメモリセルは、セルトランジスタと強誘電体キャパシタの並列接続で構成され、1つのメモリセルブロックは、この並列接続のメモリセルを複数直接接続する構成において、読み出したデータと逆データを書き込む場合、選択したセルブロック内の非選択メモリセルにおいて、原理的には、非選択のONしているセルトランジスタによって、非選択の強誘電体キャパシタはショートとされ、安定な状態を保つはずではある。しかし実際には、非選択のONしているセルトランジスタのON抵抗の存在によって、僅かではあるが短時間の間、非選択の強誘電体キャパシタの両端に電圧が印加されてしまう。

【0141】先願においては、セルブロック内のメモリセル数を増やすとこのノイズが低減されると述べているが、これだけでは、不十分である。図35は、先願の逆データ書き込み時の、ビット線の立ち上がり立ち下がり遷移時間と、このノイズ関係を示している。このように、非選択のメモリセルデータを安全に保持するには、常にある程度書き込み時間を長くする必要がある。

【0142】図36は、上記の問題を解決した本発明の第20の実施形態を説明するためのもので、書き込み時間緩和方式を示す。ここでは2つの方法が含まれている。

【0143】第1の方法は、メモリセルアレイ内のビット線(BBL, BL)とセンスアンプ部のビット線(BBLSA, BLSA)の間にトランジスタ(Q9, Q10)を挿入する方法である。メインアンプ(Main Amp)

27

のライトバッファ (Write Buffer) から逆データを書き込む場合、BDQ、DQ線を通して、センスアンプ (Sense Amp) 部のフリップフロップを反転して、反転データがBBL、BLに書き込まれる。この場合、トランジスタ (Q9、Q10) のON抵抗と、大きな容量のあるセルアレイ側のビット線 (BBL、BL) の容量とのRC時定数により、BBL、BLの書き込みの遷移時間が緩和される。これにより、ノイズが低減できる。

【0144】第2の方法は、メインアンプ (Main Amp) のライトバッファ (Write Buffer) から逆データを書き込む場合、ライトバッファに駆動能力の異なる、2種類以上のドライバを持たせ、さらに2種類以上のドライバ各々を駆動させる時間をずらす方法である。この実施形態の例では、駆動能力の小さいドライバでまず最初弱い力でBDQ、DQ線を駆動して、ある程度ビット線 (BBL SA、BL SA、BBL、BL) のHighレベルを下げ、Lowレベルを上げる。次に、時間をずらして、大きなドライバを駆動させて、ビット線を反転させ、緩やかにビット線を反転させてデータ書き込みを行い、前述の書き込みノイズを低減する。

【0145】その他、3種類以上のバッファを用いたり、同じサイズのバッファを時間をずらして用いても効果がある。さらに、1種類のバッファを用いて、バッファの駆動トランジスタのゲート電圧を緩やかに、或いは段階的に上げてよいし、さらに、逆データを書き込む前に、一度BDQ、DQ或いはビット線をショートしてから、逆データを書き込んでもよいし、上記各手法を組み合わせてもよい。

【0146】(第21の実施形態) 図37は、本発明の第21の実施形態を説明するための図である。これは、図36のライトバッファのより具体的な構成例を示す。図37(a)はトランジスタサイズの異なる2種類のクロックインバータを示し、図37(b)はこれを時間を遅らせて駆動する信号線の遅延回路例を示す。また、図37(c)はこれらのタイミングチャートを示す。

【0147】(第22の実施形態) 図38は、本発明の第22の実施形態に係わるFRAMを説明するためのもので、図3の実施形態の等価回路を実現するメモリセルブロックの具体的なレイアウト図を示す。図38では、ビット線 (M2層)、ワード線 (GC層)、拡散層 (AA層)、セル配線層 (M1層)、強誘電体キャパシタの下部電極 (BE層)、上部電極 (TE層)、Dタイプトランジスタ用イオン注入用レイヤー層 (Dimp層)、M1-M2間コンタクト、TE-M1間コンタクト、BE-M1間コンタクトを示している。

【0148】図39、図40は、図38におけるレイアウトを分かりやすいように分けて表示してある。図41は、図38のレイアウトのA-A'間、B-B'間、C-C'間、D-D'間の断面例を示す。TE、BEは、その上に形成したM1層からTE-M1間コンタクト、

28

BE-M1間コンタクトを介して接続されている。M1層はAA-M1間コンタクトを介してAA層と接続される。

【0149】図38に示すように、M2-M1間は、AA-M1間コンタクト、M1-M2間コンタクトとM1層を介して接続されている。図38~図41において、セル内部ノード接続用配線M1は、強誘電体キャパシタ形成工程後に形成しているため、低抵抗の金属配線が適用でき、このM1配線はプレート配線にも適用できている。プレート駆動方式においては、負荷容量の大きいプレート線を駆動するため、プレート配線の金属化が必須であるが、このセル構造では、容易にプレート配線の低抵抗化が可能でプレート駆動時間の短縮が図れる。

【0150】特に、図38~図41の構成では、M1のAl配線或いはCu配線が可能で、大幅なアクセスタイム、サイクルタイムの短縮がはかれる。その大きな理由は、従来のセルトランジスタと強誘電体キャパシタを直列接続するメモリセルにおいては、セル毎にプレート配線が必要で、セル内で、セル内部ノード接続用の配線層とプレート配線層を共有することは面積的に損であったし、共有せずにBE層などでプレート線を構成すると抵抗が高いためにプレート駆動時間が非常に長くなっていた。プレート専用の金属配線を設けると、プロセスコストが増加する問題点があった。

【0151】先願のメモリセルでは、プレート配線はセルブロック毎に0.5本 (隣と共有)、1本或いは2本で済む。図38~図41のプレート配線部のように、2本のプレート線PLBBL、PLBLのM1層は1ビット線毎に、下部電極 (BE) とBE-M1コンタクトを取れば、容易に図3の等価回路が実現できる。図41の断面図に示すように、BE層をビット線方向に隣接したセルブロックと接続してやれば、プレート線の隣接セルブロック間での共有が容易に実現できる。

【0152】(第23の実施形態) 図42は、本発明の第23の実施形態に係わるFRAMを説明するためのもので、図38のレイヤー構成、デバイス構造で、プレート分離を行わない場合、即ち先願の図79の等価回路を実現するメモリセルブロックの具体的なレイアウト図を示している。プレート線及び、その接続部周辺を除いて、図38と同じであり、効果も同様である。

【0153】図42は、ビット線 (M2層)、ワード線 (GC層)、拡散層 (AA層)、セル配線層 (M1層)、強誘電体キャパシタの下部電極 (BE層)、上部電極 (TE層)、Dタイプトランジスタ用イオン注入レイヤー層 (Dimp層)、M1-M2間コンタクト、TE-M1間コンタクト、BE-M1間コンタクトを示している。

【0154】図43、図44は、図42におけるレイアウトを分かりやすいように分けて表示してある。図45は、図42のレイアウトのA-A'間、B-B'間の断

10

20

30

40

50

29

面例を示す。TE、BEは、その上に形成したM1層からTE-M1間コンタクト、BE-M1間コンタクトを介して接続されている。M1層はAA-M1間コンタクトを介してAA層と接続される。

【0155】図38に示すように、M2-M1間は、AA-M1間コンタクト、M1-M2間コンタクトとM1層を介して接続されている。図42～図45において、セル内部ノード接続用配線M1は、強誘電体キャパシタ形成工程後に形成しているため、低抵抗の金属配線が適用でき、このM1配線は、プレート配線にも適用でき、プレート駆動方式においては、負荷容量の大きなプレート線を駆動するため、プレート配線の金属化が必須であるがこのセル構造では、容易にプレート配線の低抵抗化が可能でプレート駆動時間の短縮が図れる。

【0156】特に、図43～図45の構成では、M1のAl配線或いはCu配線が可能で、大幅なアクセstime、サイクルタイムの短縮がはかれる。大きな理由は、従来のセルトランジスタと強誘電体キャパシタを直列接続するメモリセルにおいては、セル毎にプレート線が必要で、セル内で、セル内部ノード接続用の配線層とプレート配線層を共有することは面積的に損であったし、共有せずにBE層などでプレート線を構成すると抵抗が高いためにプレート駆動時間が非常に長くなっていた。プレート専用の金属配線を設けると、プロセスコストが増加する問題点があった。

【0157】先願のメモリセルでは、プレート配線はセルブロック毎に0.5本(隣と共有)或いは1本で済む。図43～図45のプレート配線部のように、1本のプレート線PLのM1層は下部電極(BE)とBE-M1コンタクトを取れば、容易に図79の等価回路が実現できる。図45の断面図に示すように、BE層をビット線方向に隣接したセルブロックと接続してやれば、プレート線の隣接セルブロック間での共有が容易に実現できる。

【0158】(第24の実施形態)図46は、本発明の第24の実施形態に係わるFRAMを説明するためのもので、図38のレイヤー構成、デバイス構造で、図42と同様にプレート分離を行わない場合、即ち先願の図79の等価回路を実現するメモリセルブロックの具体的なレイアウト図を示している。効果も図42と同様である。図46は、ビット線(M2層)、ワード線(GC層)、拡散層(AA層)、セル配線層(M1層)、強誘電体キャパシタの下部電極(BE層)、上部電極(TE層)、Dタイプトランジスタ用イオン注入用レイヤー層(Dimp層)、M1-M2間コンタクト、TE-M1間コンタクト、BE-M1間コンタクトを示している。

【0159】図47、図48は、図46におけるレイアウトを分りやすいように分けて表示してある。図42と異なる点は、図46に示すように、ビット線BBLに接続されるセルブロックは図42と同じで、ビット線BL

30

に接続されるセルブロックにおいては、上部電極(TE)と下部電極(BE)の位置が1セル分ビット線方向にずれている点である。図42に比べ、隣接したセルブロック間で下部電極や、上部電極や、それらのコンタクト間の距離が図46の方が遠くなるため、これらのルールでセルサイズが律則される場合、図46の方がセルサイズが縮小できることになる。

【0160】(第25の実施形態)図49は、本発明の第25の実施形態に係わるFRAMを説明するためのもので、図5の実施形態のダミーセルブロックの等価回路を実現する具体的なレイアウト図を示している。レイヤー構成、セル構造は、図38と同一である。図49は、ビット線(M2層)、ワード線(GC層)、拡散層(AA層)、セル配線層(M1層)、強誘電体キャパシタの下部電極(BE層)、上部電極(TE層)、Dタイプトランジスタ用イオン注入用レイヤー層(Dimp層)、M1-M2間コンタクト、TE-M1間コンタクト、BE-M1間コンタクトを示してしる。

【0161】図50、図51は、図49におけるレイアウトを分りやすいように分けて表示してある。図49～図51において、セル内部ノード接続用配線M1は、強誘電体キャパシタ形成工程後形成しているため、低抵抗の金属配線が適用でき、このM1配線は、ダミーセルブロック用のプレート配線にも適用できているためダミーセルのプレートも高速に駆動できる。

【0162】(第26の実施形態)図52は、本発明の第26の実施形態に係わるFRAMを説明するためのもので、図4の実施形態の等価回路を実現するメモリセルブロックの具体的なレイアウト図を示している。図52は、ビット線(M2層)、ワード線(GC層)、拡散層(AA層)、セル配線層(M1層)、強誘電体キャパシタの下部電極(BE層)、上部電極(TE層)、Dタイプトランジスタ用イオン注入用レイヤー層(Dimp層)、M1-M2間コンタクト、TE-M1間コンタクト、BE-M1間コンタクトを示している。

【0163】図53、図54は、図52におけるレイアウトを分りやすいように分けて表示してある。

【0164】図55は、図52のレイアウトのA-A'間、B-B'間、C-C'間、D-D'間の断面例を示す。TE、BEは、その上に形成したM1層からTE-M1間コンタクト、BE-M1間コンタクトを介して接続されている。M1層はAA-M1間コンタクトを介してAA層と接続される。図52に示すように、M2-M1間は、AA-M1間コンタクト、M1-M2間コンタクトとM1層を介して接続されている。

【0165】図52～図55において、セル内部ノード接続用配線M1は、強誘電体キャパシタ形成工程後形成しているため、低抵抗の金属配線が適用でき、プレート駆動を高速化できる。図52～図55においては、Dタイプ用イオン注入マスクは不要となる。これは図55に

31

示すように、M1配線を用いて、通過のブロック選択トランジスタのソースとドレインを接続しているからである。Dタイプトランジスタの反転層容量が無い分、非選択セルブロック部のビット線容量が減る効果がある。更に図55に示すように、通過のブロック選択トランジスタをフィールドトランジスタ化すればさらに容量が低減できる。

【0166】(第27の実施形態)図56は、本発明の第27の実施形態に係わるFRAMのメモリセルブロックの構成を示す断面図である。等価回路的には、図3と同じである。ワード線上に、同じピッチで、Al、Cu等の金属配線(図中Metal1)を配設し、ワード線と一定間隔おきにシャント(スナップとも言う)を取り、抵抗の高いワード線材料によるワード線遅延を減らすことができる。このワード線シャント用の金属配線はそのまま、プレート配線として用いることできる。さらに、上部電極を隣接セルブロックでつなげることにより、PLBBLとPLBLを隣接セルブロックで共有化している。

【0167】図56では、プレートをPLBBL、PLBLの2種類に分けた図3の方式の例である。図中上の図(a)と下の図(b)は1ビット線毎に交代、或いは2ビット線毎に交代となる。これは、プロセスコストを増加させずに、プレート駆動遅延を低減できる。プレートを $(1/2)V_{dd}$ に固定する方式に適用しても、プレート電極の電位の安定に寄与できる。

【0168】(第28の実施形態)図57は、本発明の第28の実施形態に係わるFRAMのメモリセルブロックの構成を示す断面図である。等価回路的には、図3と同じである。図56と異なる点は、ビット線用金属配線(Metal2)と金属配線(Metal1)の形成工程が逆になった点である。

【0169】(第29の実施形態)図58は、本発明の第29の実施形態に係わるFRAMのメモリセルブロックの構成を示す断面図である。等価回路的には、図3と同じである。図56と異なる点は、ビット線層を形成後に強誘電体キャパシタを形成した点、更にその後にはワード線シャント用、プレート配線用兼用の金属配線層を形成した点である。

【0170】(第30の実施形態)図59は、本発明の第30の実施形態に係わるFRAMのメモリセルブロックの構成を示す断面図である。等価回路的には、図3と同じである。図58と異なる点は、ワード線シャント方式を用いるのではなく、メイン・ロウ・デコーダとサブ・ロウ・デコーダを用いて、階層ワード線方式を採用した場合を示している。これにより、金属配線(Metal1)はメインワード線として用い、Metal1のピッチをワード線ピッチの2倍～8倍と緩和できる。(図の例では4倍)。当然にこの例でも、メインワード線とプレート配線は同じMetal1を兼用できている。

32

【0171】(第31の実施形態)図60は、本発明の第31の実施形態に係わるFRAMのメモリセルブロックの構成を示す断面図である。これは、図79の等価回路で、ワード線シャント用金属配線(Metal1)を採用した例である。この場合でもプレート配線もMetal1を利用できている。

【0172】図60の下の2個の図は、上の図の2箇所(ワード線部、プレート部)で切った場合のワード線方向の断面図(A-A', B-B')を示す。ワード線は、シャント部で、ワード線層とMetal1層をコンタクトし、プレート部では、1ビット線毎にMetal1とプレート電極とコンタクトを取っている。

【0173】(第32の実施形態)図61は、本発明の第32の実施形態に係わるFRAMのメモリセルブロックの構成を示す断面図である。これは、図79の等価回路で、ワード線シャント用金属配線(Metal1)を採用した例である。図60との違いは、Metal1と強誘電体キャパシタの間にビット線層を形成した点である。この場合でもプレート配線もMetal1を利用できている。

【0174】図61の下の2個の図は、上の図の2箇所(ワード線部、プレート部)で切った場合のワード線方向の断面図(A-A', B-B')を示す。ワード線は、シャント部で、ワード線層とMetal1をコンタクトし、プレート部もシャント部でMetal1とプレート電極とコンタクトを取っている。

【0175】(第33の実施形態)図62及び図63は、本発明の第33の実施形態に係わるFRAMのメモリセルブロックの構成を示す断面図である。

【0176】図62は、図79の等価回路で、階層ワード線及び、更にカラム選択線用の金属配線層(CSL)を追加した場合を示す。勿論、図3のプレートの分離方式も実現できる。図63は、図79の等価回路で、ワード線シャント方式及び、更にカラム選択線用の金属配線層(CSL)を追加した場合を示す。勿論、図3のプレート分離方式も実現できる。

【0177】(第34の実施形態)図64は、本発明の第34の実施形態に係わるFRAMのセル構成を示す断面図である。図56から図63の例では、強誘電体キャパシタ部の構造や配線接続の概念図示しか示していないが、本実施形態の図64(a)～(f)は図56から図63の例や、先願例に適用できる、強誘電体キャパシタ部の詳細配線構成を示す。

【0178】(a)は、強誘電体膜61に上部電極62を形成して、その後にセルトランジスタと上部電極を接続する配線63を形成した例を示す。(b)は、(a)に加えて、トランジスタ形成後、Siプラグ、Wプラグ等のプラグ64を形成し、その上に下部電極65を形成した例を示す。(c)は、(b)に加えて、プラグと下部電極65の間に、強誘電体材料の拡散等を防ぐバリア

33

層 6 6 を形成した例を示す。

【0179】(a)～(c)の例では、上部電極 6 2 を形成後、絶縁膜を被せ、上部電極 6 2 と配線 6 3 との接続は、セルトランジスタとのコンタクト開口後、又は開口前、エッチバックやCMP等で、この絶縁膜を削り上部電極を露出させ、配線 6 3 を形成し、配線 6 3 と上部電極 6 2 を接続して形成している。これに対し(d)の例では、絶縁膜形成後、コンタクトホールを上部電極上と、セルトランジスタの拡散層上に開け、配線 6 3 で接続している。

【0180】(e)の例では、(c)のプラグ形成後、配線 6 3 とセルトランジスタの拡散層との接続部でもプラグ 6 7 を形成して、コンタクトホールのアスペクト比を小さくしている。(f)の例では、(e)の例に加え、強誘電体キャパシタ膜を隣接セルで接続した例を示す。強誘電体膜厚／上部電極間距離の比が小さい場合や、分極量の異方性が大きい場合に適用できる。(a)～(f)の例では、各種変形を順に加えた場合を示したが、これに限らず、自由に各種変形を組み合わせたことができる。

【0181】(第35の実施形態)図65～図68は、本発明の第35の実施形態に係わるFRAMのメモリセルブロックの構成を示す断面図である。

【0182】図65は、図4の等価回路で、隣接したセルノードを同時に形成し、その間に強誘電体キャパシタを形成した場合で、更にワード線シャント用とプレート配線兼用のメタル配線を形成した場合を示す。図66は、図79の等価回路で、隣接したセルノードを同時に形成し、その間に強誘電体キャパシタを形成した場合で、更にワード線シャント用とプレート配線兼用のメタル配線を形成した場合を示す。

【0183】図67は、図4の等価回路で、隣接したセルノードを同時に形成し、その間に強誘電体キャパシタを形成した場合で、更に階層ワード線のメインワード線とプレート配線兼用のメタル配線を形成した場合を示す。図68は、図79の等価回路で、隣接したセルノードを同時に形成し、その間に強誘電体キャパシタを形成した場合で、更に階層ワード線のメインワード線とプレート配線兼用のメタル配線を形成した場合を示す。

【0184】(第36の実施形態)図69は、本発明の第36の実施形態に係わるFRAMを説明するためのもので、メモリセルアレイとプレート駆動回路ブロックを示している。これは、図3の方式に適用できる。プレート駆動回路は、1つのセルブロックに2個必要で、隣接セルブロックでプレート線を共有しているため、結局1個のセルブロックに対して1個のみ必要となる。従来の分割プレート方式の様に、1本のワード線に対して、1個のプレート駆動線が必要なものと比べて大幅にプレート駆動回路数を低減し、チップサイズの減少を可能にする。

34

【0185】さらに、図38～図68で示したプレート配線抵抗の大幅低減によるプレート遅延低減効果にも増して本実施形態においてはさらにプレート駆動遅延を低減できる。プレート遅延は、負荷容量と抵抗のRC遅延で決まり、負荷容量は、セル内の寄生容量より、容量の大きい強誘電体キャパシタの容量で決まる。即ち、従来セルでも、セルを複数直列接続する先願、本発明のセルでも負荷容量はさして変わらない。これは、先願、本発明セルでは、非選択セルは、ショートされており容量が見えないためである。これに比べて、抵抗成分は、プレート線の配線抵抗とプレート駆動回路のプレート線駆動の最終段のドライバトランジスタのON抵抗で決まる。

【0186】本実施形態においては、プレート線配線の低抵抗化の効果と、プレート駆動回路の大幅な低減による、プレート駆動回路のドライバトランジスタサイズの大形化を可能にし、ON抵抗の大幅な低減を可能にする。結局、RC遅延のCはほぼ変わらず、Rの大幅な低減を可能にするわけである。

【0187】(第37の実施形態)図70は、本発明の第37の実施形態に係わるFRAMを説明するためのもので、メモリアレイとロウ・デコーダとプレート駆動回路を示している。この実施形態は、プレートを分離しない2T/2C方式で、プレート駆動する場合に適用できる。この場合は、図69と比べ更に、プレート駆動回路数を半減して、2セルブロックに1個の割合で配置でき、プレート駆動回路のドライバトランジスタサイズを大きくでき、更なる高速化が実現できる。

【0188】(第38の実施形態)図71は、本発明の第38の実施形態に係わるFRAMの回路構成を示す図である。これは、メモリセルトランジスタとブロック選択トランジスタを従来のnMOSで構成するのではなく、nMOSとpMOSを並列接続で構成する場合を示す。

【0189】このような構成であれば、ワード線、ブロック選択線をV_{dd}以上に昇圧することなく動作でき、低電圧動作や、ロジックやその他との混載メモリとして利用する場合に有効となる。この例では、2個の強誘電体キャパシタで1ビットのデータ記憶させる方式を示しており、ブロック選択線は1種類である。なお、/WLiとWLi、/BSとBSは逆電圧の相補信号である。

【0190】(第39の実施形態)図72は、本発明の第39の実施形態に係わるFRAMの回路構成を示す図である。これは、メモリセルトランジスタとブロック選択トランジスタを従来のnMOSで構成するのではなく、nMOSとpMOSを並列接続で構成する場合を示す。

【0191】このような構成であれば、ワード線、ブロック選択線をV_{dd}以上に昇圧することなく動作でき、低電圧動作や、ロジックやその他との混載メモリとして利用する場合に有効となる。この例では、1個の強誘電

体キャパシタで1ビットのデータ記憶させる方式をしめしており、ブロック選択線は2種類である。なお、 $\neg WLi$ と WLi 、 $\neg BS$ と BS は逆電圧の相補信号である。プレート線は、図79のような1種類の場合（(1/2) Vdd 固定プレート方式）と、図4のような分離した場合の2種類の場合（プレート駆動方式）が適用できる。

【0192】（第40の実施形態）図73は、本発明の第40の実施形態に係わるFRAMの回路構成を示す図である。これは、セルブロックはワード線方向に1配列しか無い小さいメモリの場合を示している。この場合、ブロック選択トランジスタは省略できる。

【0193】なお、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0194】

【発明の効果】以上詳述してきたように本発明によれば、不揮発性で、平面トランジスタで容易化に製造でき、しかも、ランダムアクセラ機能を保ちつつ、4F²サイズの高集積化を実現できつつ、（1）1T/1C型で、プレート駆動方式が適用でき、高密度で低電圧動作が可能となる。さらに、（2）強誘電体キャパシタの常誘電体成分のばらつきを抑制しつつ、高速動作が可能となる。さらに、（3）書き込み時のノイズを低減できる。さらに、（4）プレート駆動方式でも、プロセスコスト、チップサイズ小さく抑えつつ、高速動作が可能となる。（5）さらに、セルをCMOS化することにより、ワード線、ブロック選択線の昇圧を不要にできる。

【図面の簡単な説明】

【図1】第1の実施形態に係わるFRAMを示す回路構成図。

【図2】第1の実施形態の具体的な動作例を示すタイミング図。

【図3】第2の実施形態に係わるFRAMを示す回路構成図。

【図4】図3の変形例を示す回路構成図。

【図5】第3の実施形態に係わるFRAMを示す回路構成図。

【図6】図5の構成の動作例を示すタイミング図。

【図7】第4の実施形態に係わるFRAMを示す回路構成図。

【図8】図7の構成の動作例を示すタイミング図。

【図9】第5の実施形態に係わるFRAMを示す回路構成図。

【図10】第6の実施形態に係わるFRAMを示す回路構成図。

【図11】図9、図10の構成の動作例を示すタイミング図。

【図12】第7の実施形態に係わるFRAMを示す回路構成図。

【図13】図12の構成の動作例を示すタイミング図。

【図14】第8の実施形態に係わるFRAMの動作方式を示すタイミング図。

【図15】先願の2T/2C方式の構成を示す回路構成図。

【図16】第9の実施形態の動作を示すタイミング図。

【図17】第10の実施形態に係わるFRAMのセンスアンプ部構成を示す図。

【図18】第11の実施形態に係わるFRAMのセンスアンプ部構成を示す図。

【図19】先願における多ビット/セル方式のセルブロック等価回路図。

【図20】図19のセル構造の断面の一例を示す図。

【図21】図19の多ビット/セル方式の動作におけるヒステリシス曲線を示す図。

【図22】実際のヒステリシス曲線を示す図。

【図23】第12の実施形態に係わるFRAMのメモリセルブロック構成を示す断面図。

【図24】先願で説明したプレート駆動方式を適用した場合の多ビット/セルの動作の具体的な動作例を示すタイミング図。

【図25】第13の実施形態の動作を示すタイミング図。

【図26】第14の実施形態を説明するためのコア部回路構成を示す図。

【図27】第14の実施形態を説明するためのコア部回路構成を示す図。

【図28】第15の実施形態の動作を示すタイミング図。

【図29】第16の実施形態の動作を示すタイミング図。

【図30】第16の実施形態の動作を示すタイミング図。

【図31】第17の実施形態の動作を示すタイミング図。

【図32】第17の実施形態の動作を示すタイミング図。

【図33】第18の実施形態の動作を示すタイミング図。

【図34】第19の実施形態の動作を示すタイミング図。

【図35】先願におけるその他の問題点を示す図。

【図36】第20の実施形態における書き込み時間緩和方式を示す図。

【図37】第21の実施形態におけるライトバッファのより具体的な構成例を示す図。

【図38】第22の実施形態を説明するためのもので、図3の実施形態の等価回路を実現するメモリセルブロックの具体的なレイアウト図。

【図39】図38におけるレイアウトを分かりやすいよう

に分けて表示した図。

【図40】図38におけるレイアウトを分りやすいように分けて表示した図。

【図41】図38のレイアウトのA-A'間、B-B'間、C-C'間、D-D'間の断面例を示す図。

【図42】第23の実施形態に係わるFRAMのメモリセルブロックの具体的なレイアウト図。

【図43】図42におけるレイアウトを分りやすいように分けて表示した図。

【図44】図42におけるレイアウトを分りやすいように分けて表示した図。 10

【図45】図42のレイアウトのA-A'間、B-B'間の断面例を示す図。

【図46】第24の実施形態に係わるFRAMのメモリセルブロックの具体的なレイアウト図。

【図47】図46におけるレイアウトを分りやすいように分けて表示した図。

【図48】図46におけるレイアウトを分りやすいように分けて表示した図。

【図49】第25の実施形態に係わるFRAMを説明するためのもので、図5のダミーセルブロックの等価回路を実現する具体的なレイアウト図。 20

【図50】図49におけるレイアウトを分りやすいように分けて表示した図。

【図51】図49におけるレイアウトを分りやすいように分けて表示した図。

【図52】第26の実施形態に係わるFRAMを説明するためのもので、図4の等価回路を実現するメモリセルブロックの具体的なレイアウト図。

【図53】図52におけるレイアウトを分りやすいように分けて表示した図。 30

【図54】図52におけるレイアウトを分りやすいように分けて表示した図。

【図55】図52のレイアウトのA-A'間、B-B'間、C-C'間、D-D'間の断面例を示す図。

【図56】第27の実施形態に係わるFRAMのメモリセルブロックの構成例を示す断面図。。

【図57】第28の実施形態に係わるFRAMのメモリセルブロックの構成例を示す断面図。

【図58】第29の実施形態に係わるFRAMのメモリセルブロックの構成例を示す断面図。 40

【図59】第30の実施形態に係わるFRAMのメモリセルブロックの構成例を示す断面図。

【図60】第31の実施形態に係わるFRAMのメモリセルブロックの構成例を示す断面図。

【図61】第32の実施形態に係わるFRAMのメモリセルブロックの構成例を示す断面図。

【図62】第33の実施形態に係わるFRAMのメモリセルブロックの構成例を示す断面図。

【図63】第33の実施形態に係わるFRAMのメモリ 50

セルブロックの構成例を示す断面図。

【図64】第34の実施形態に係わるFRAMのセル構成を示す断面図。

【図65】第35の実施形態に係わるFRAMのメモリセルブロックの構成例を示す断面図。

【図66】第35の実施形態に係わるFRAMのメモリセルブロックの構成例を示す断面図。

【図67】第35の実施形態に係わるFRAMのメモリセルブロックの構成例を示す断面図。

【図68】第35の実施形態に係わるFRAMのメモリセルブロックの構成例を示す断面図。

【図69】第36の実施形態に係わるFRAMのメモリセルアレイとプレート駆動回路の構成を示す図。

【図70】第37の実施形態に係わるFRAMのメモリアレイとロウ・デコーダ及びプレート駆動回路の構成を示す図。

【図71】第38の実施形態に係わるFRAMを示す回路構成図。

【図72】第39の実施形態に係わるFRAMを示す回路構成図。

【図73】第40の実施形態に係わるFRAMを示す回路構成図。

【図74】従来のDRAMのメモリセル、従来FRAMのメモリセル、フォールデッドBL構成を示す図。

【図75】電圧-蓄積電荷の関係と電圧-分極量の関係を示す図。

【図76】従来のFRAMにおける動作例を示すタイミング図。

【図77】従来FRAMの動作を説明するための図。

【図78】先願発明のメモリセルの構成回路と動作例を示す図。

【図79】先願発明のメモリセルの構成回路と動作例を示す図。

【図80】先願発明のメモリセルの構成回路と動作例を示す図。

【符号の説明】

BSi, BSi j, /BSi…ブロック選択線

Pwell…p型ウェル

n'…n型拡散層

SA…センスアンプ

Φti…セルアレイセンスアンプ分離信号

EQ L…ビット線イコライズ信号

CSL…カラム選択線

DWL i…ダミーワード線

SEN…nMOSセンスアンプ制御線

/SEP…pMOSセンスアンプ制御線

Ci…カップリング容量

VB L…ビット線プリチャージ信号

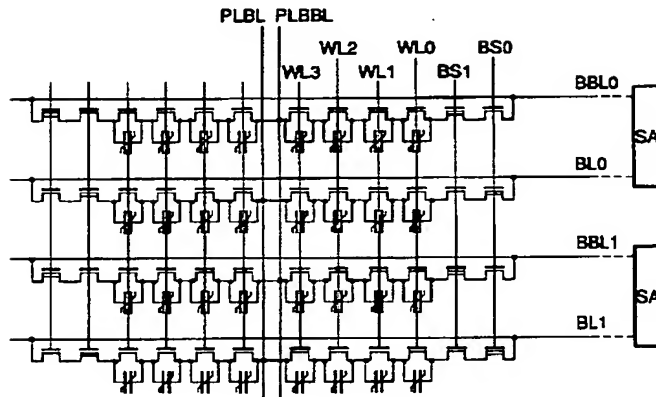
DBSi…ダミーセル用ブロック選択線

F…最小加工寸法

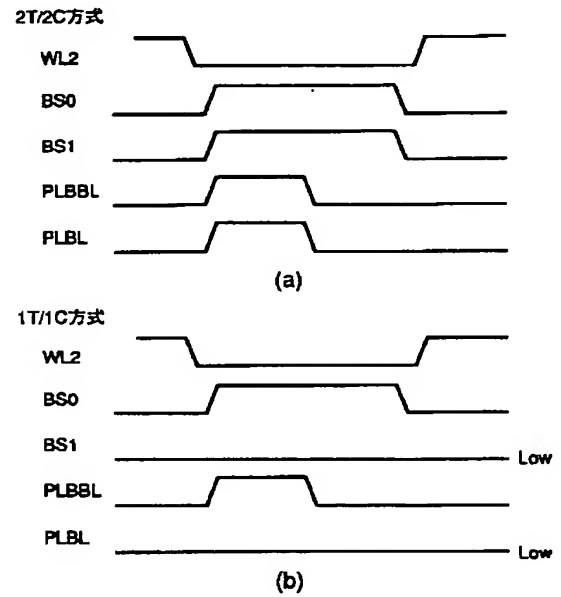
P s…飽和分極 (Saturation Polarization)
 P r…残留分極 (Remnat Polarization)
 V c…抗電圧 (Coercive Voltage)
 R S T…リセット線

* WQ n i, WQ m i…トランジスタのチャネル幅
 B D Q, D Q…データ線
 WENB, /WENB, /WENBD, WENBD…データ書き込み制御信号
 *

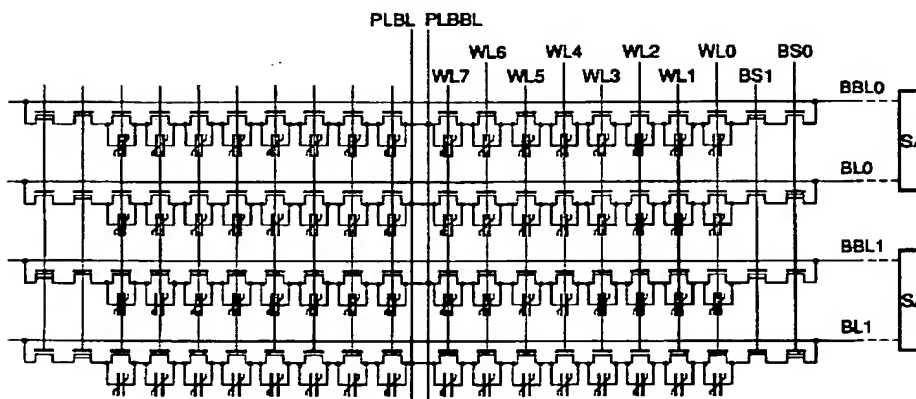
【図 1】



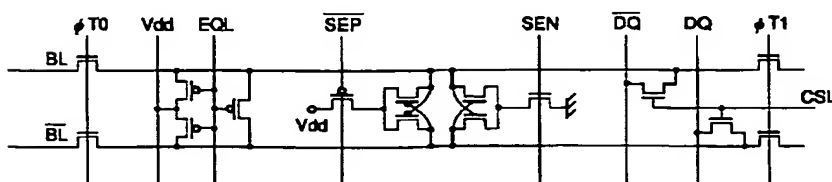
【図 2】



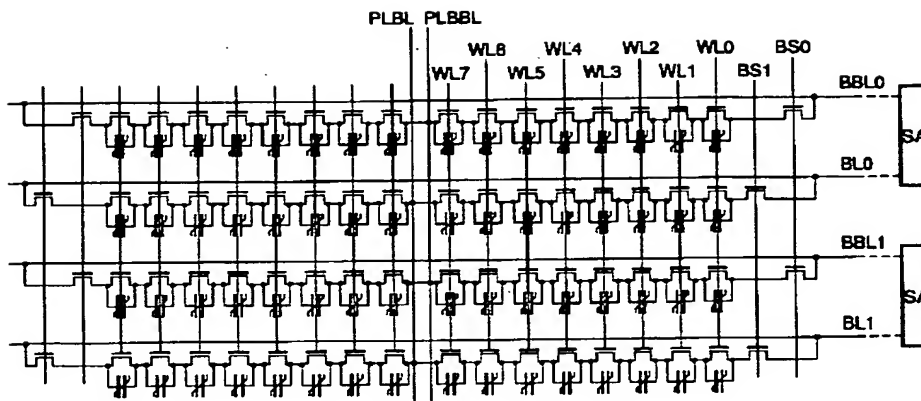
【図 3】



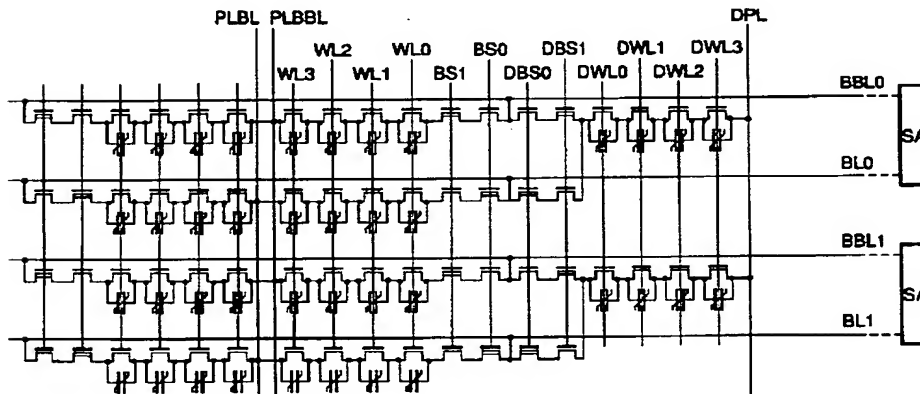
【図 17】



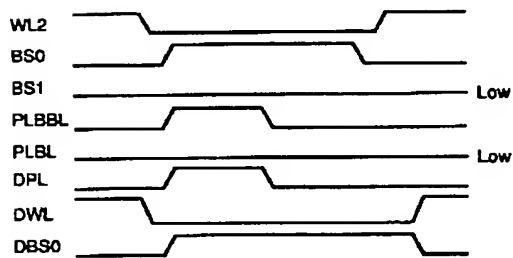
【図 4】



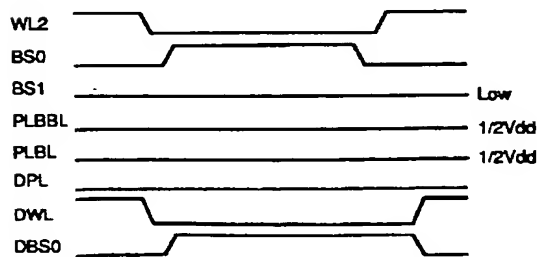
【図 5】



【図 6】

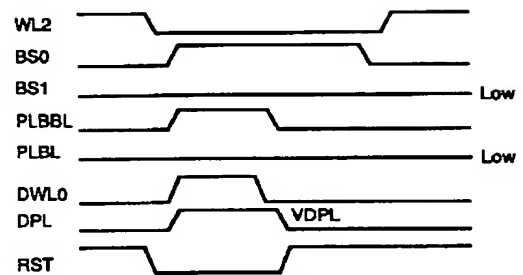


(a)

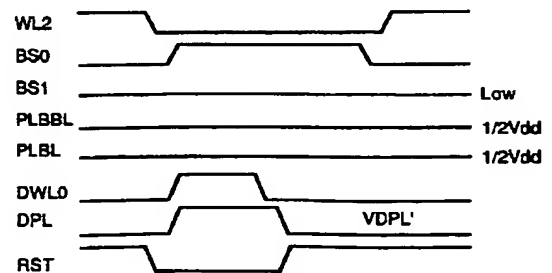


(b)

【図 11】

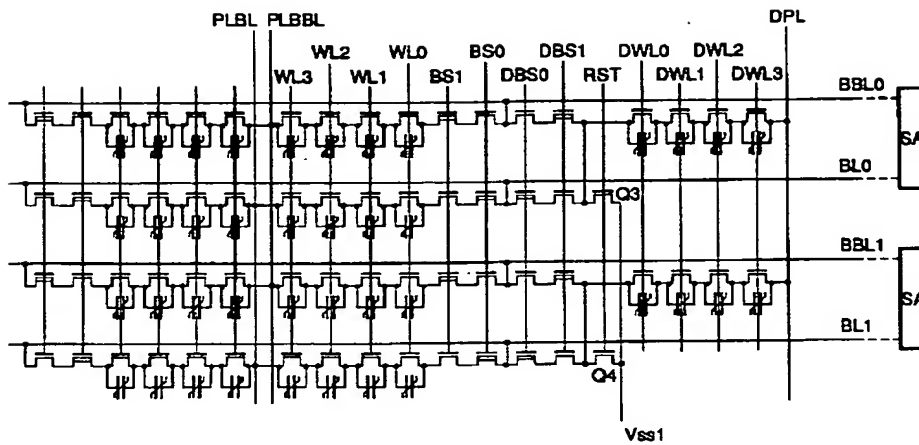


(a)

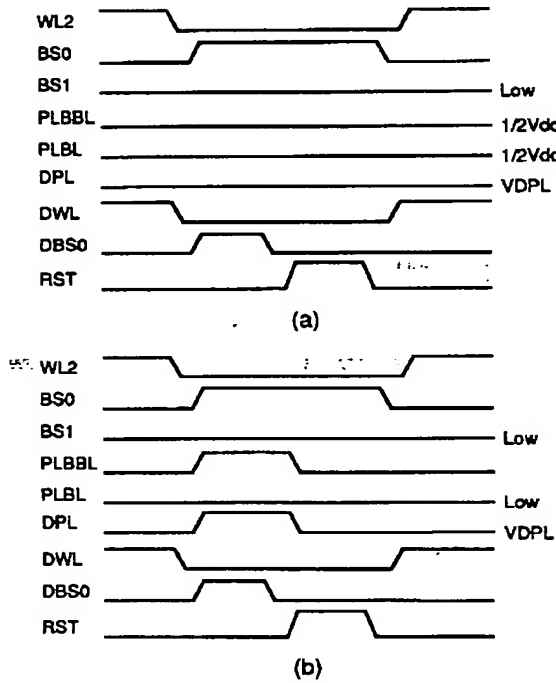


(b)

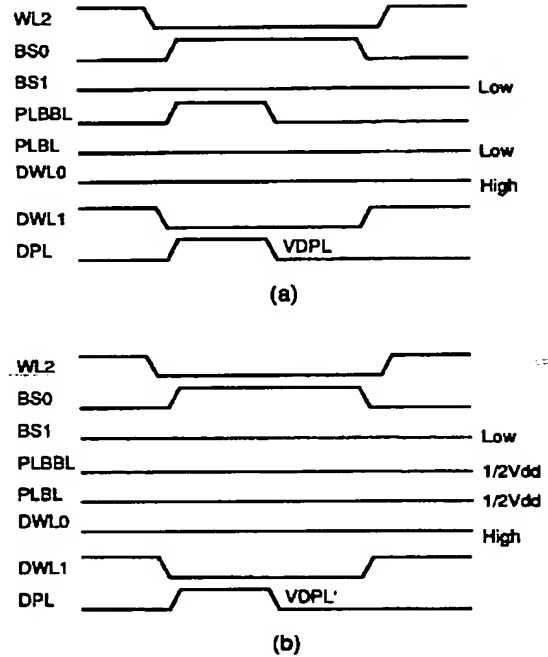
【図 7】



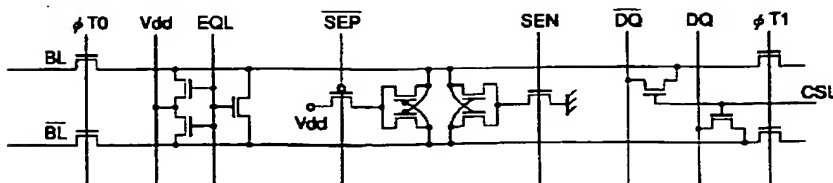
【図 8】



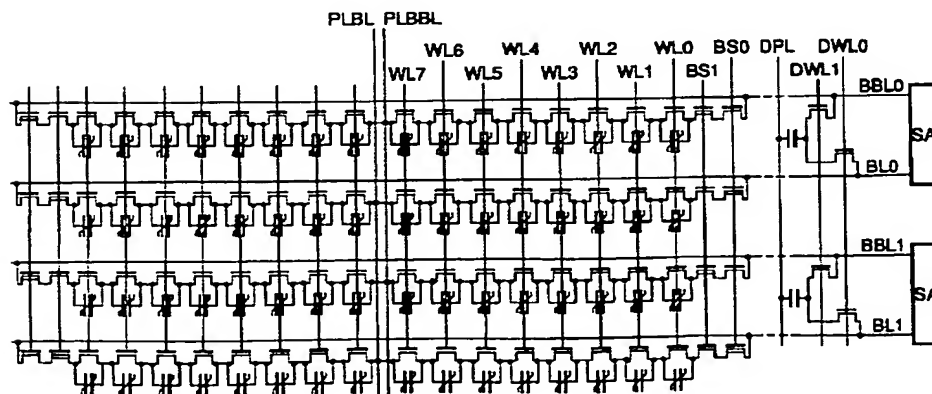
【図 13】



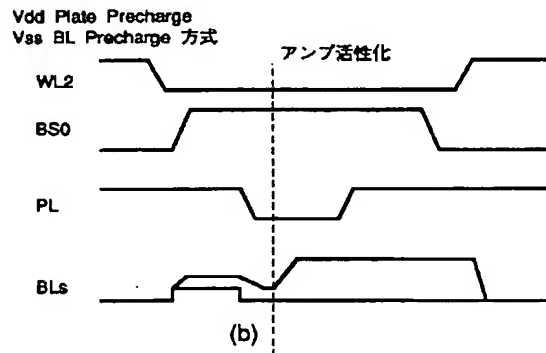
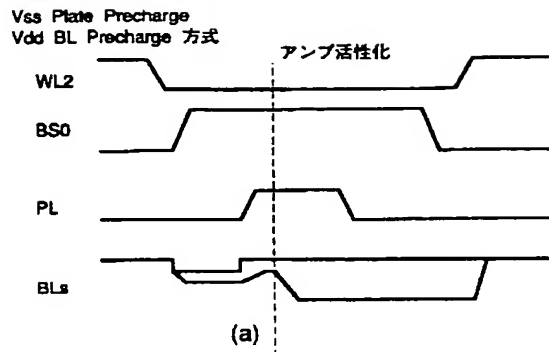
【図 18】



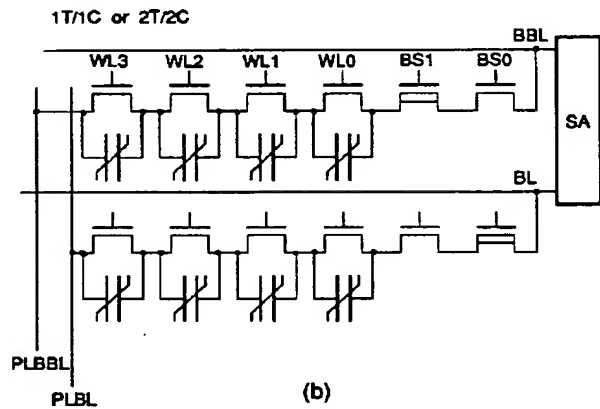
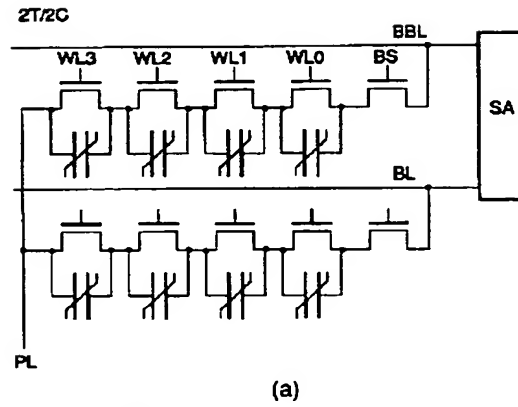
PLBL PLBBL



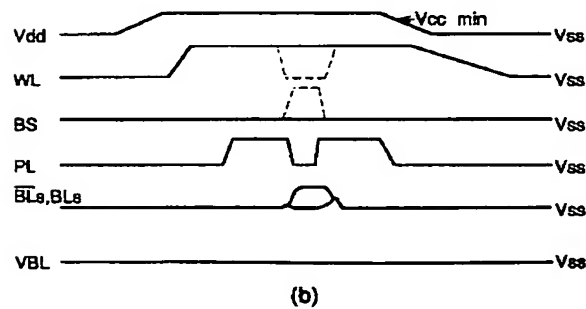
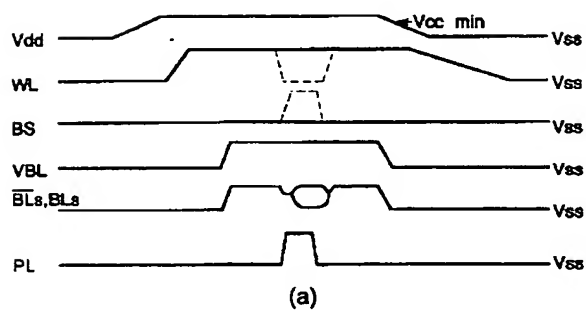
【図 1 4】



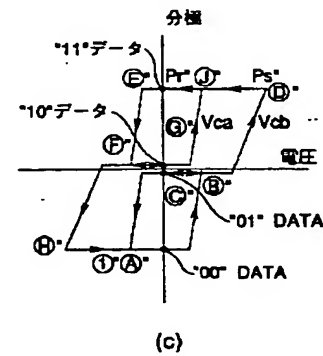
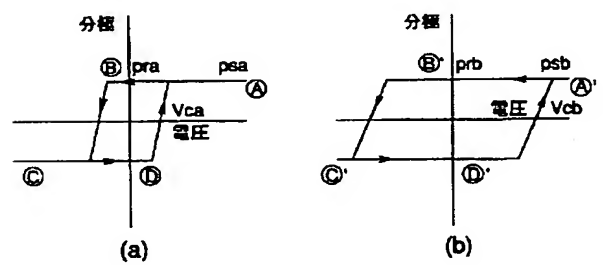
【図 1 5】



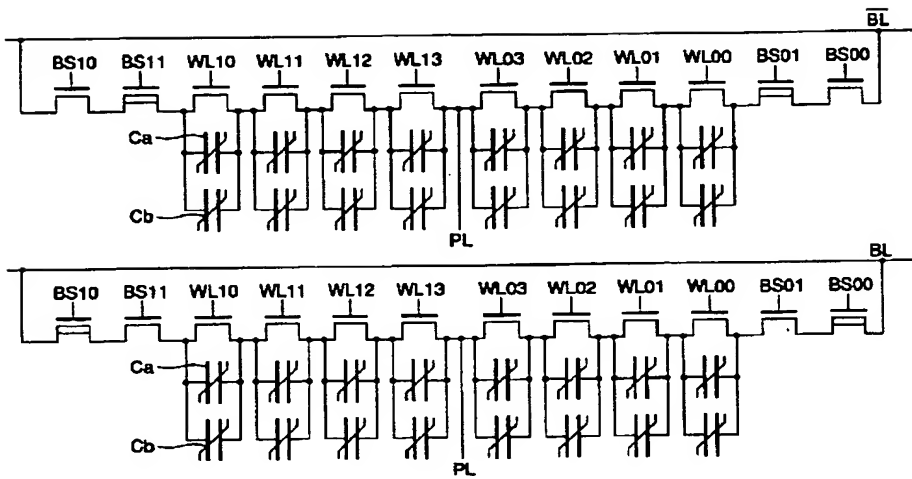
【図 1 6】



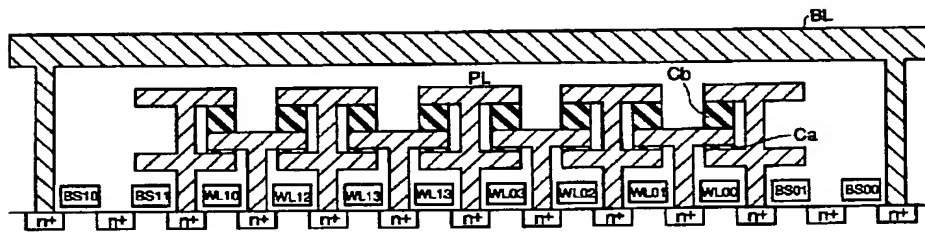
【図 2 1】



【図19】

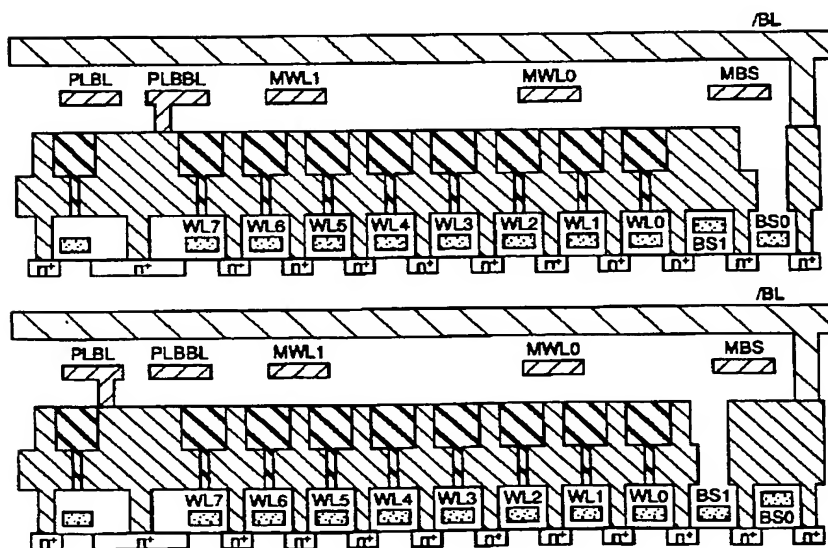


【図20】

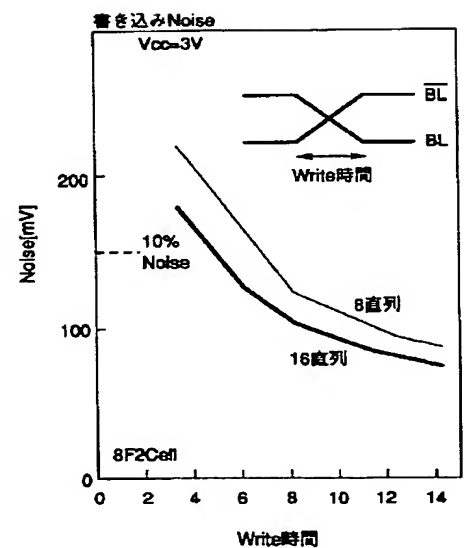


Cbの厚み>Caの厚み

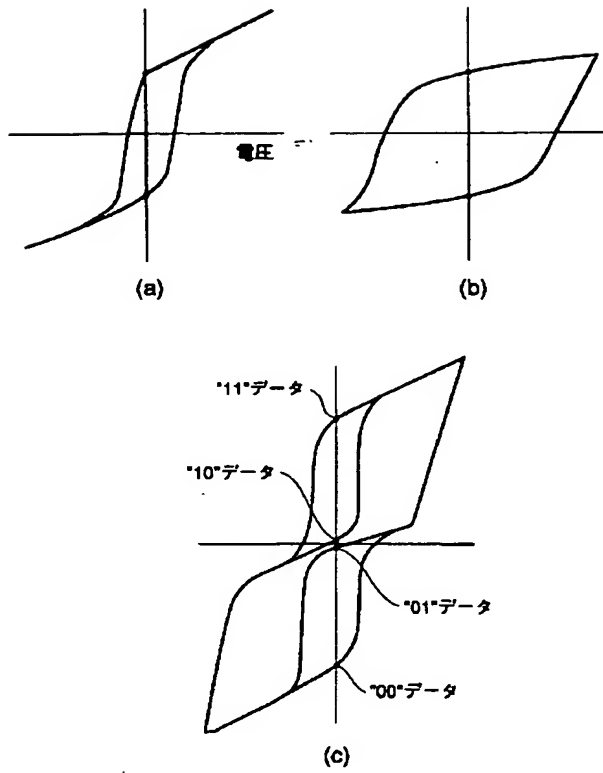
【図23】



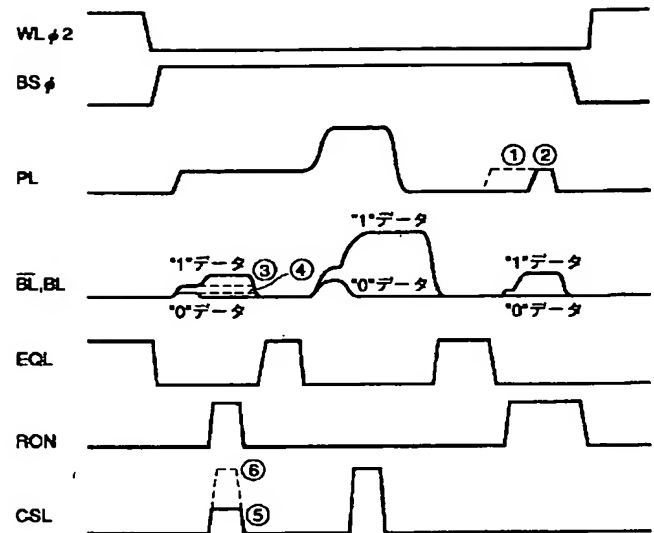
【図35】



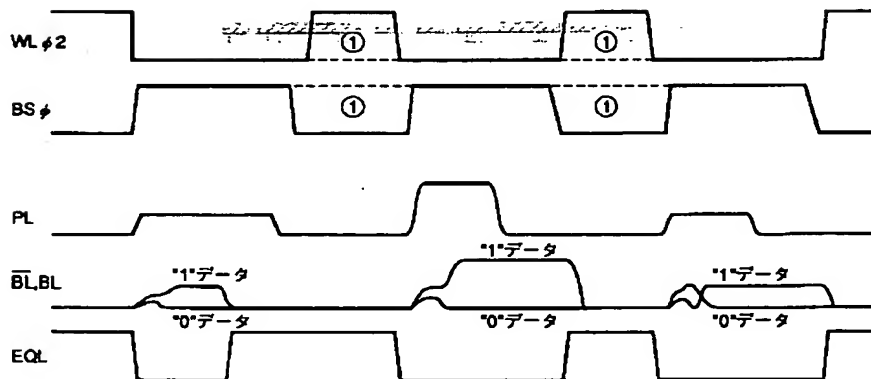
【図 2 2】



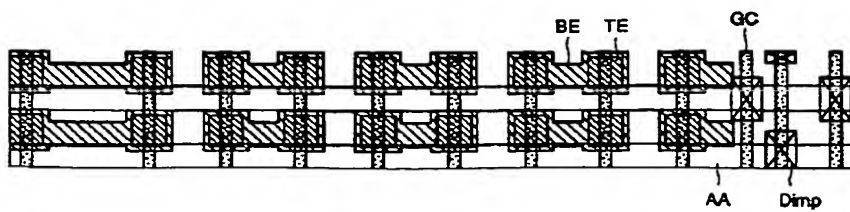
【図 2 5】



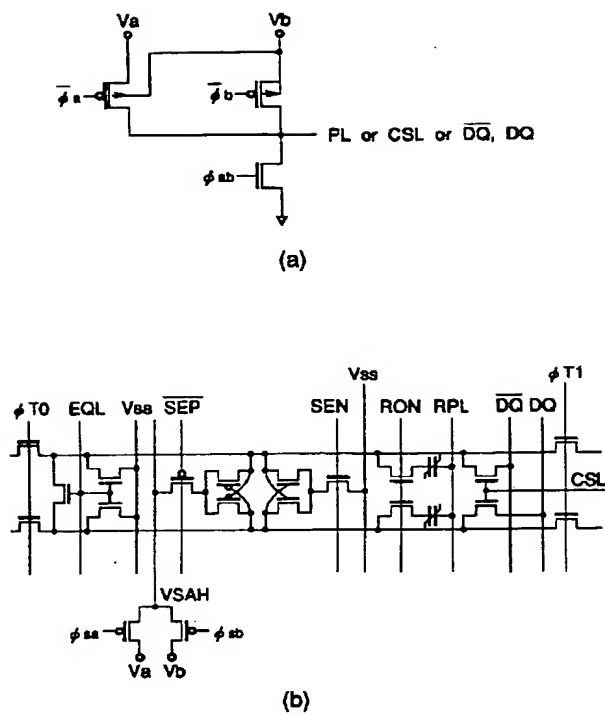
【図 2 4】



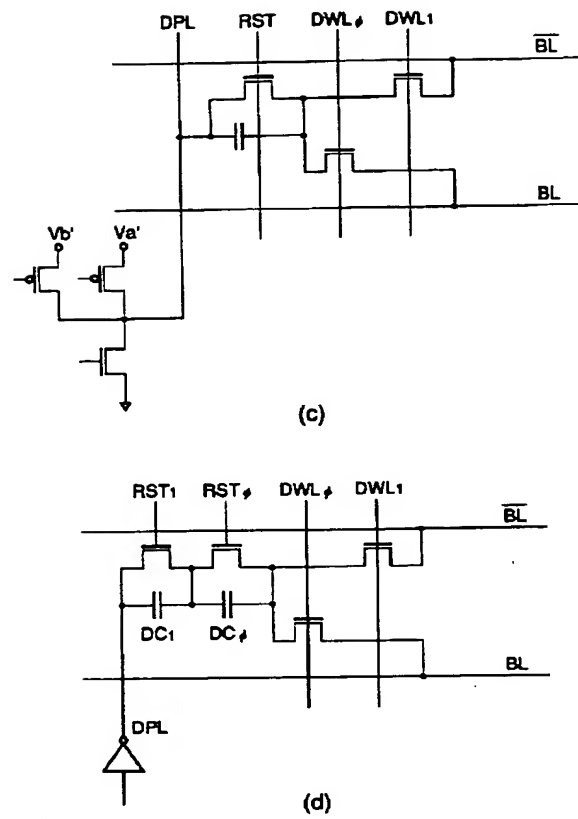
【図 3 9】



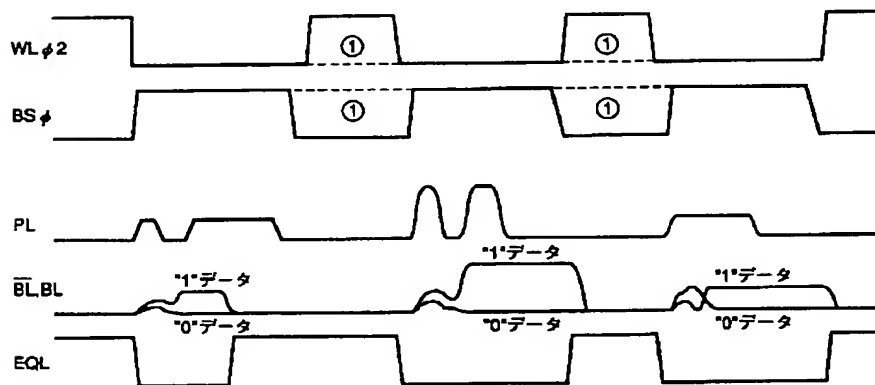
【図 2 6】



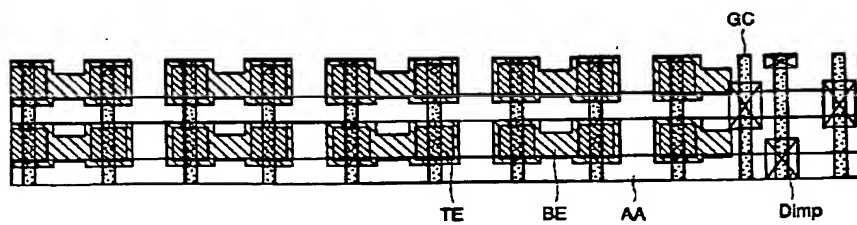
【図 2 7】



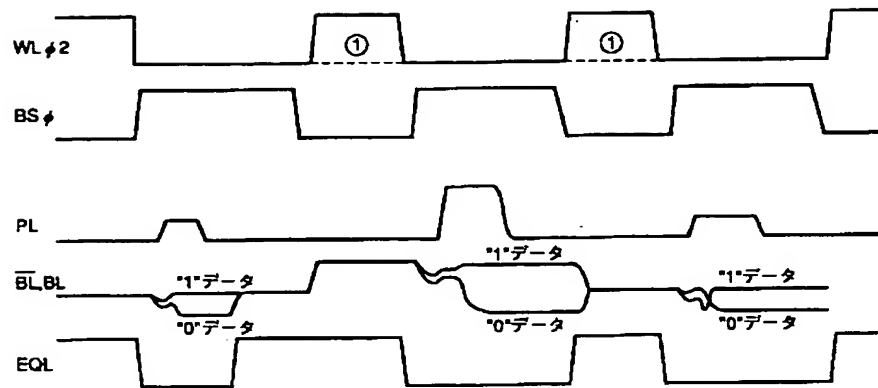
【図 2 8】



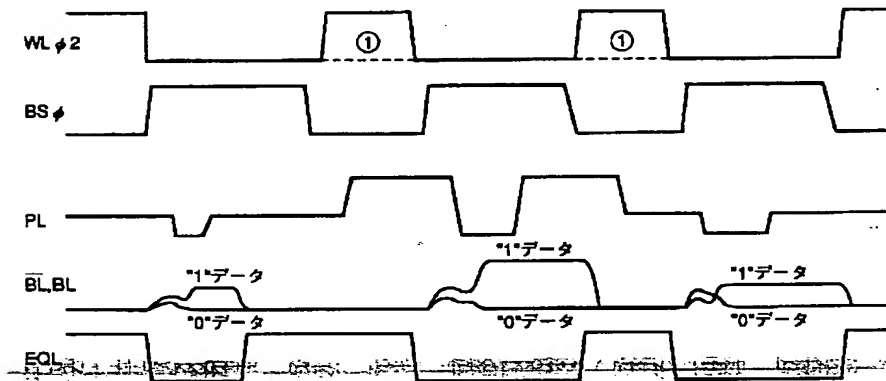
【図 4 3】



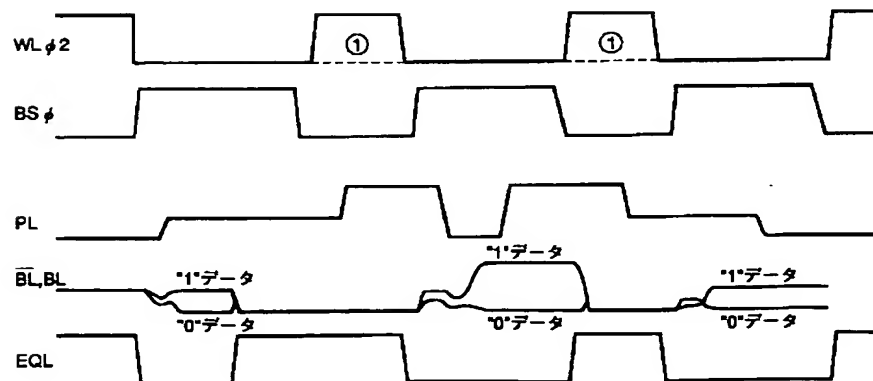
【図 2 9】



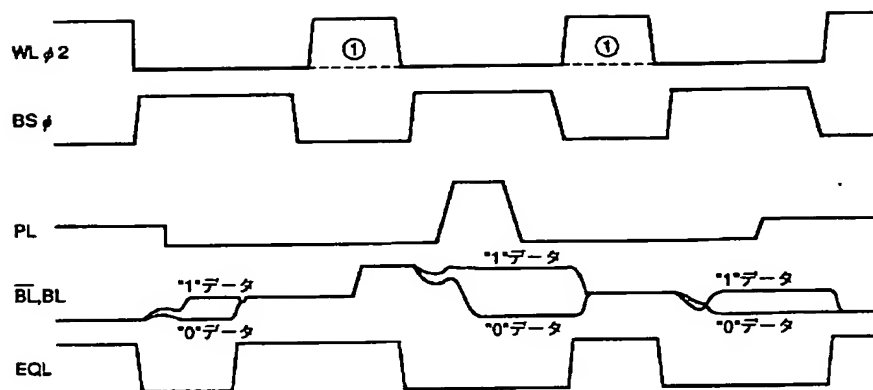
【図 3 0】



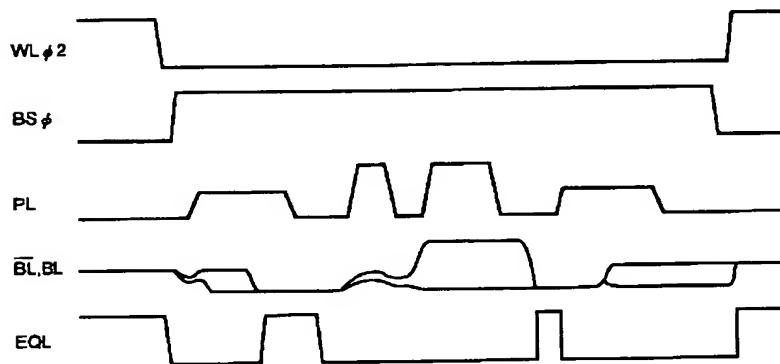
【図 3 1】



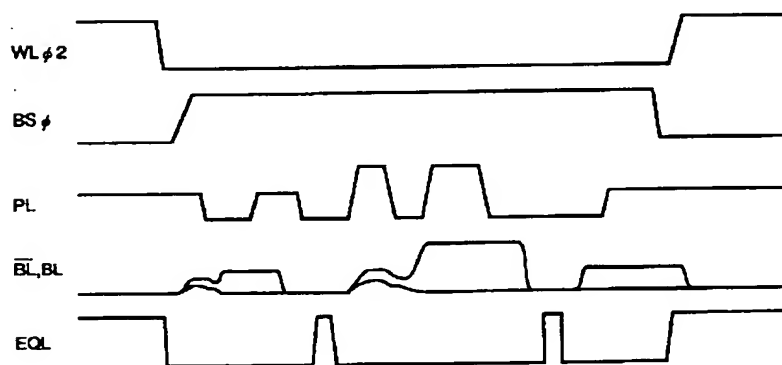
【図 3 2】



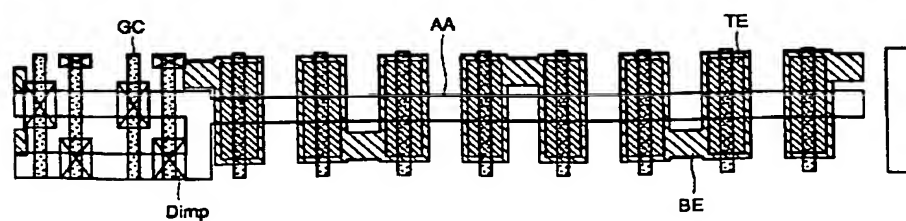
【図 3 3】



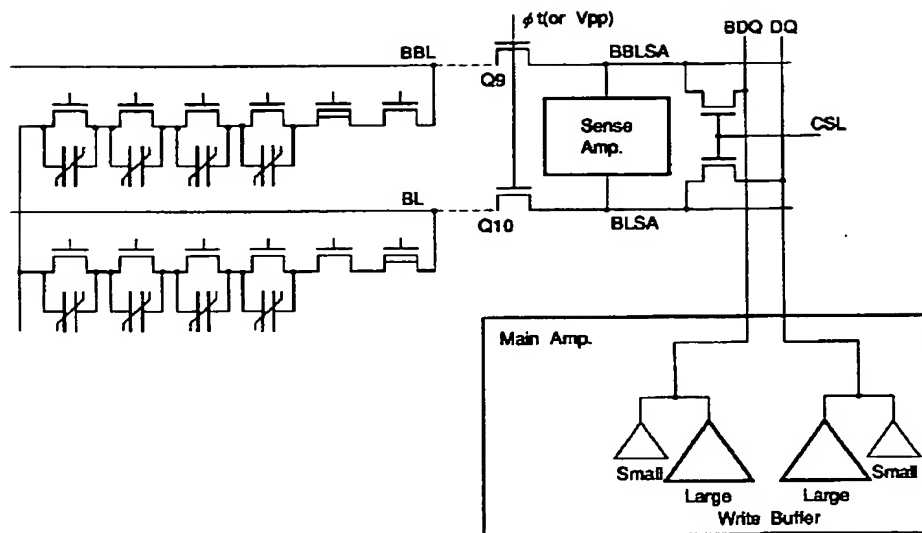
【図 3 4】



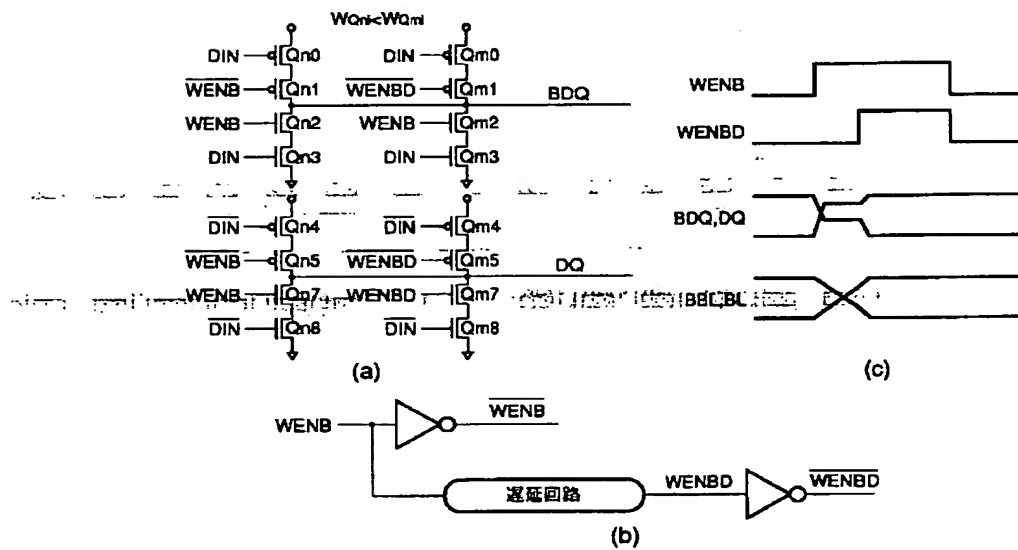
【図 5 0】



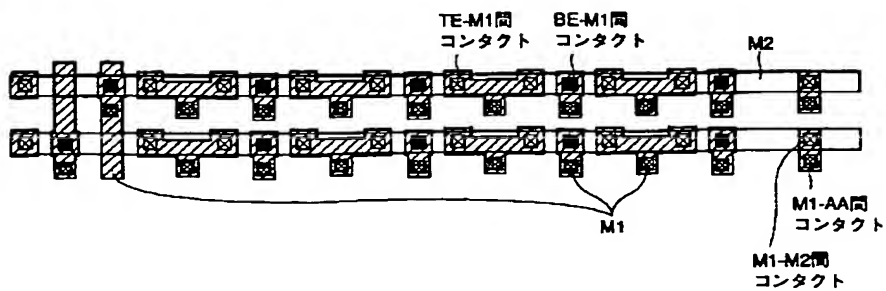
【図 3 6】



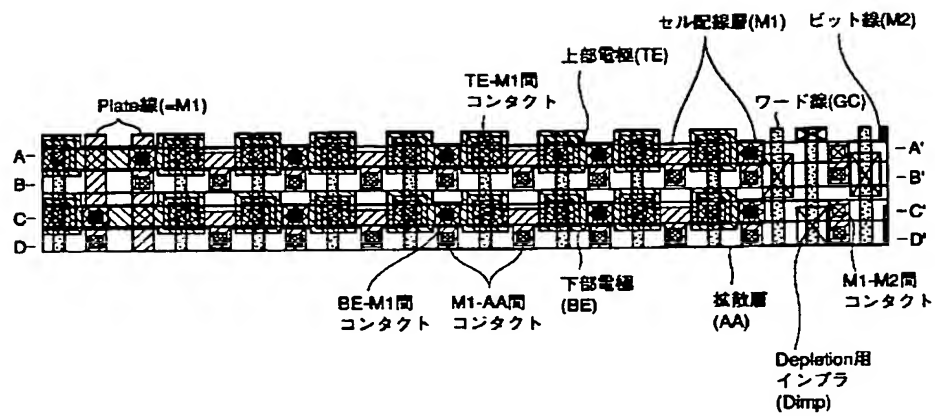
【図 3 7】



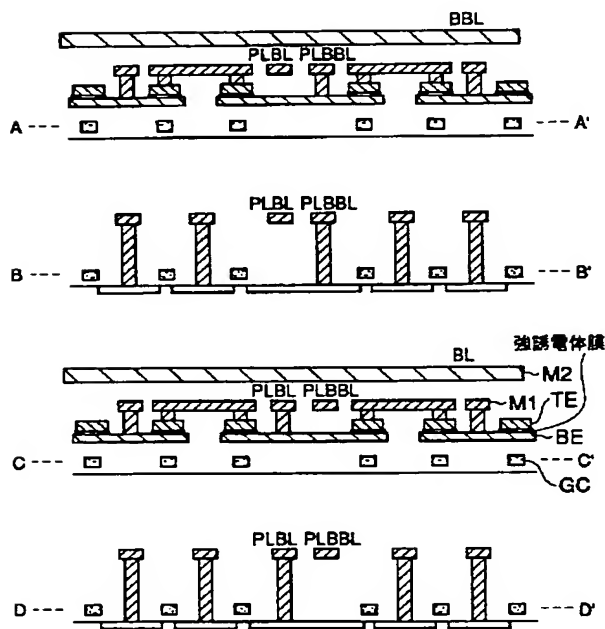
【図 4 0】



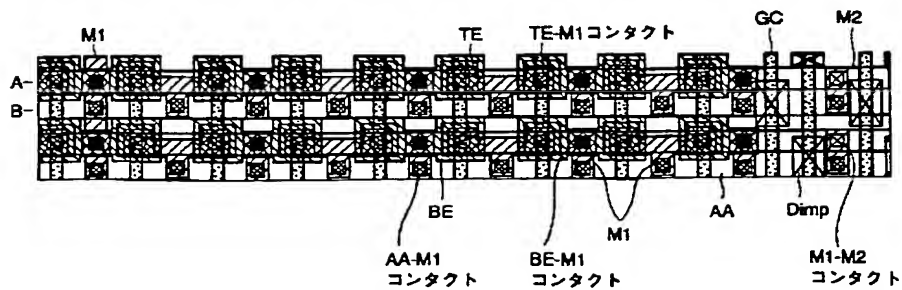
【図38】



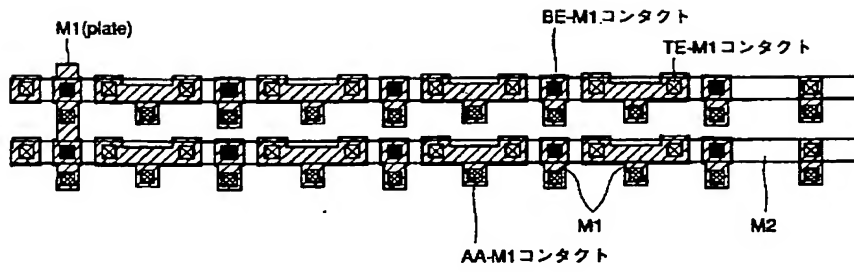
【図41】



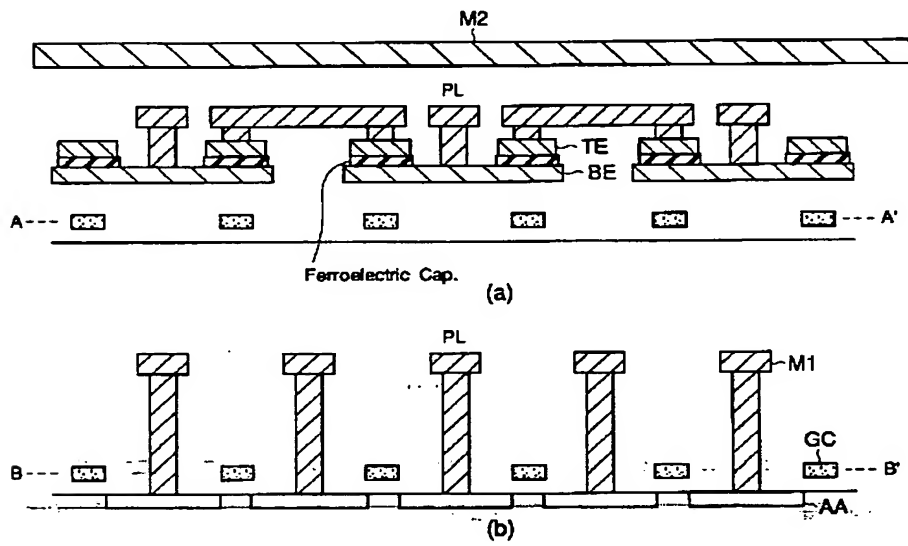
【図42】



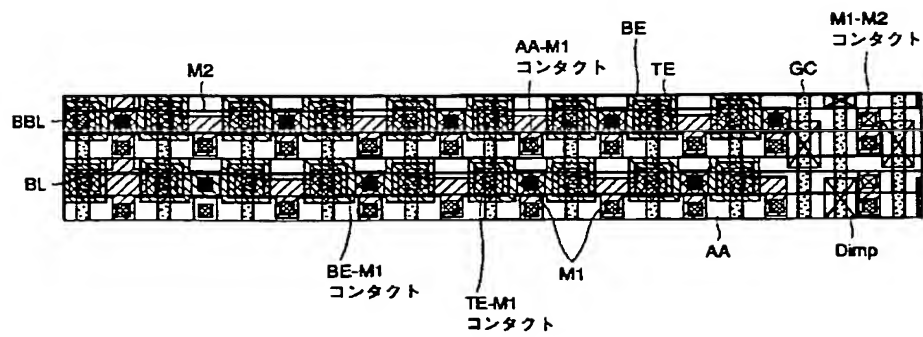
【図 4 4】



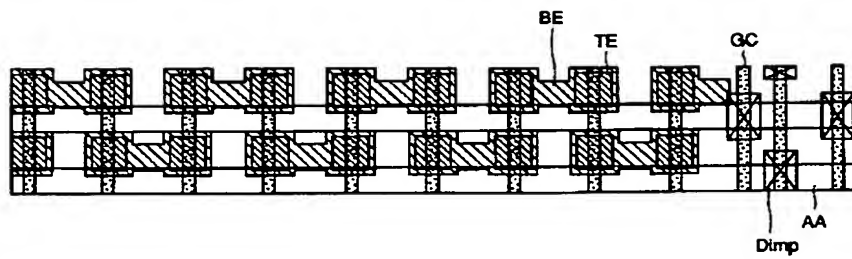
【図 4 5】



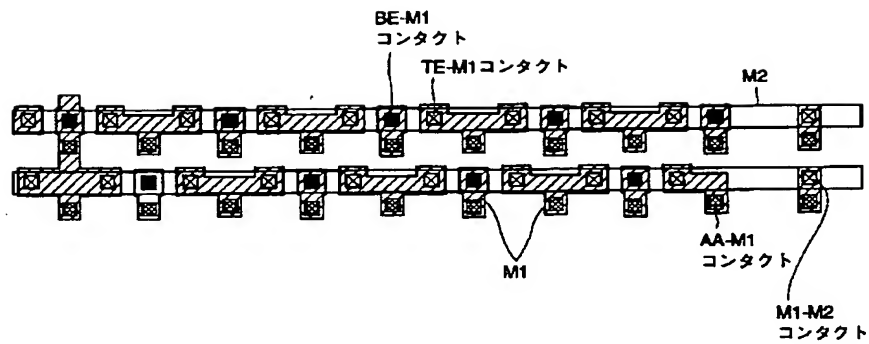
【図 4 6】



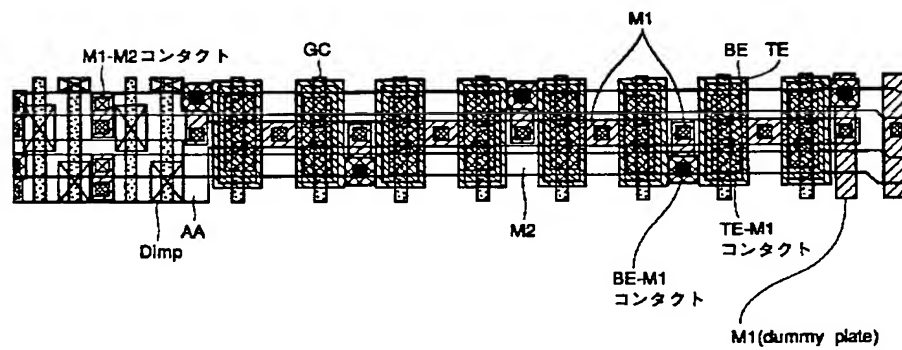
【図 4 7】



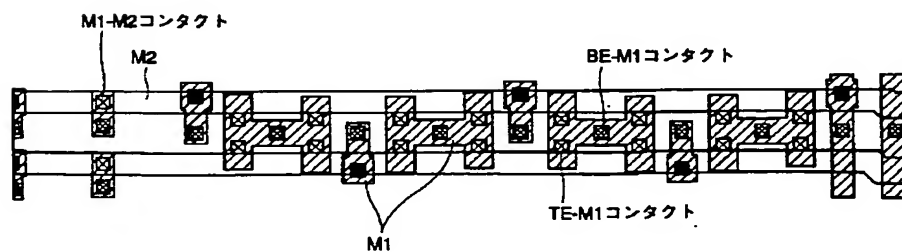
【図 4 8】



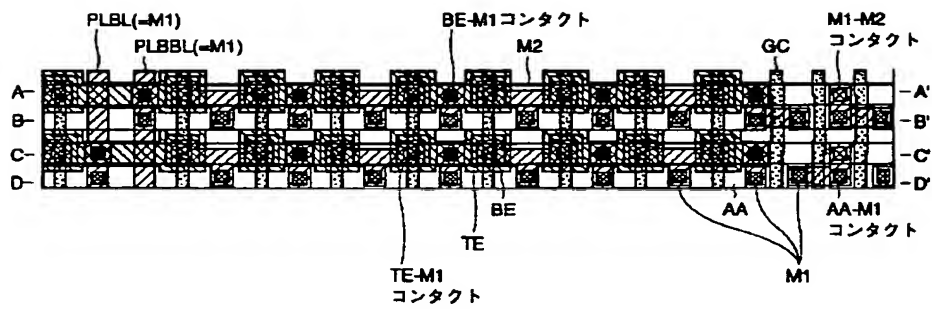
【図 4 9】



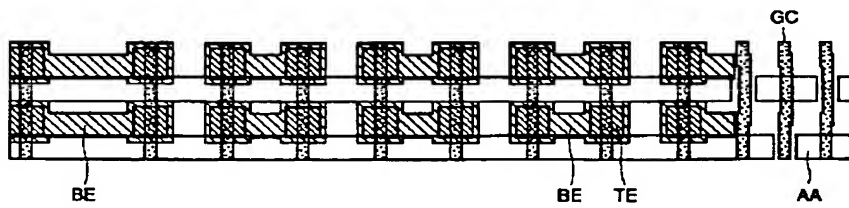
【図 5 1】



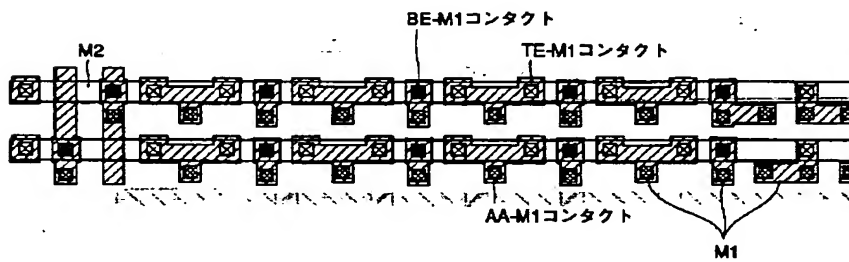
【図 5 2】



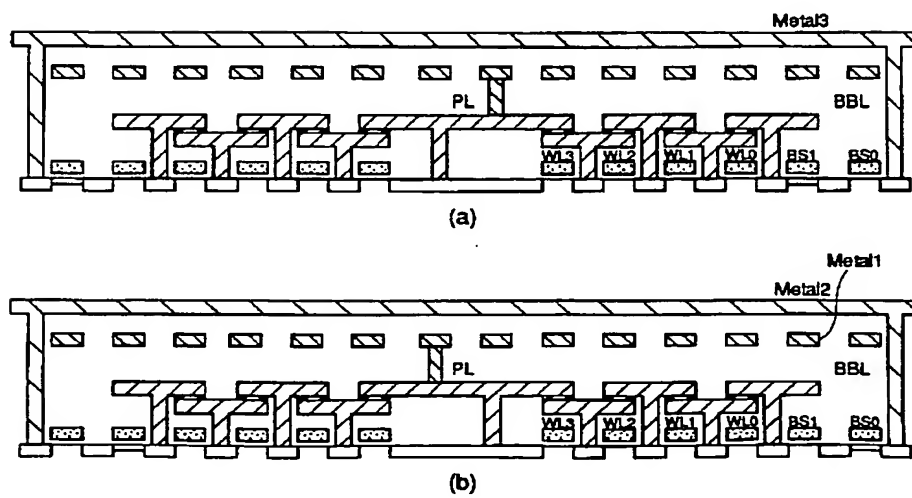
【図 5 3】



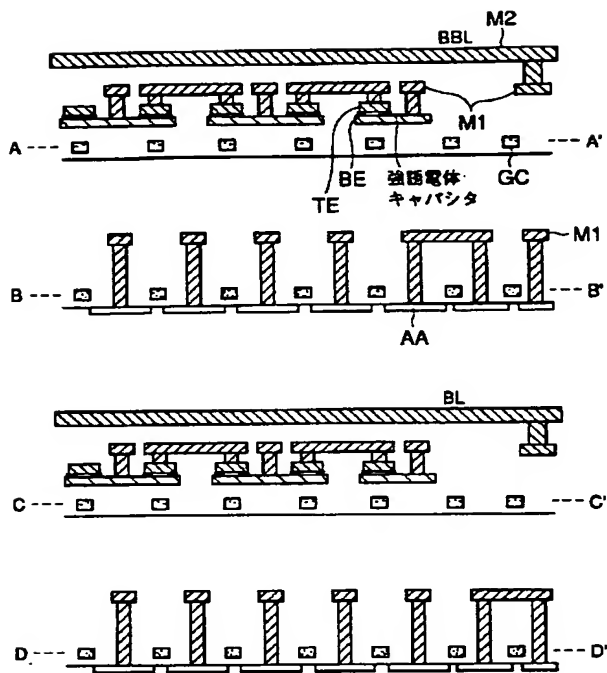
【図 5 4】



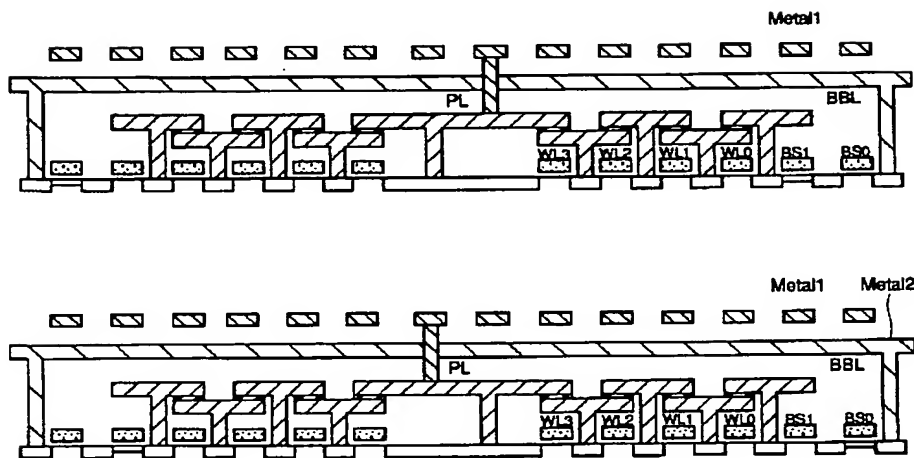
【図 5 6】



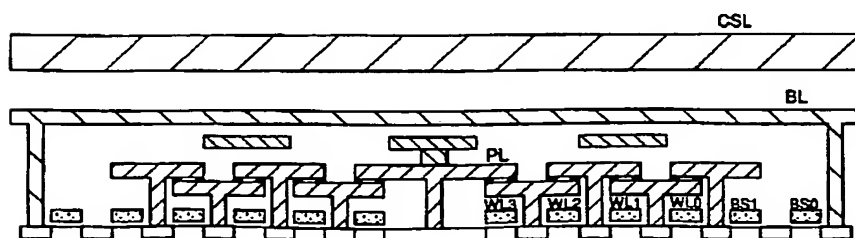
【図 5 5】



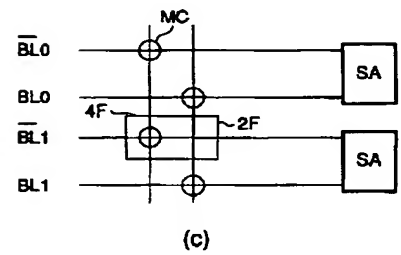
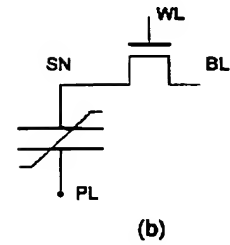
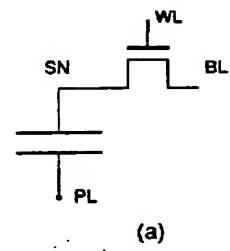
【図 5 7】



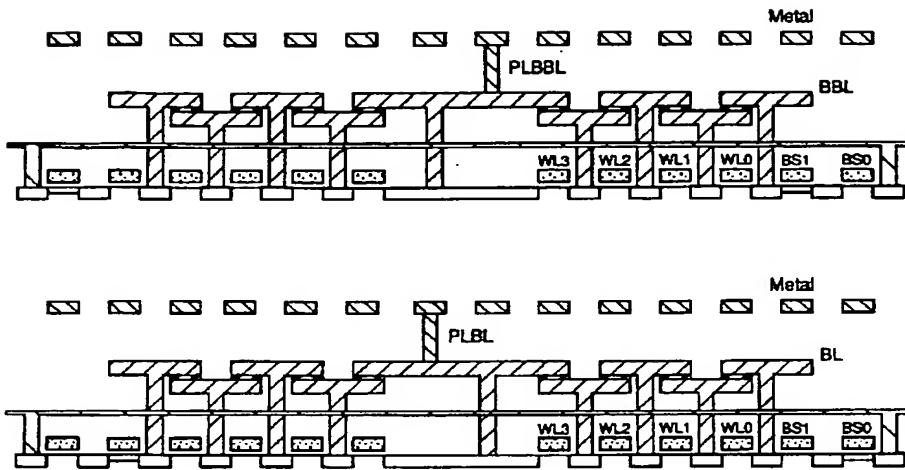
【図 6 2】



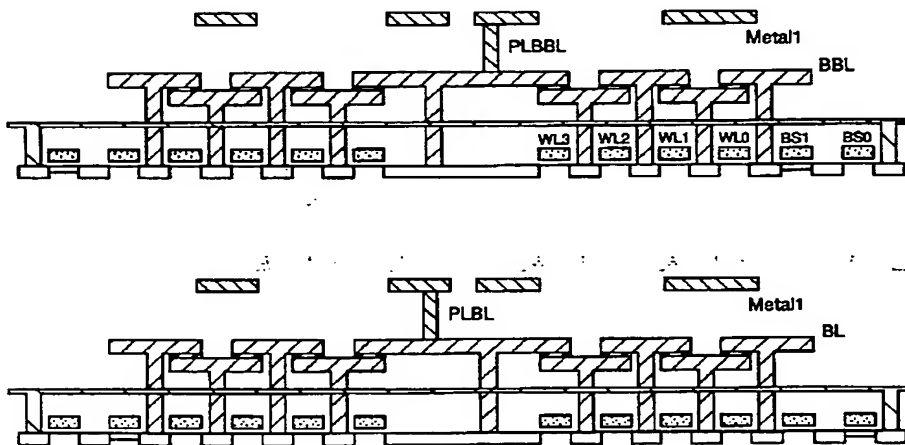
【図 7 4】



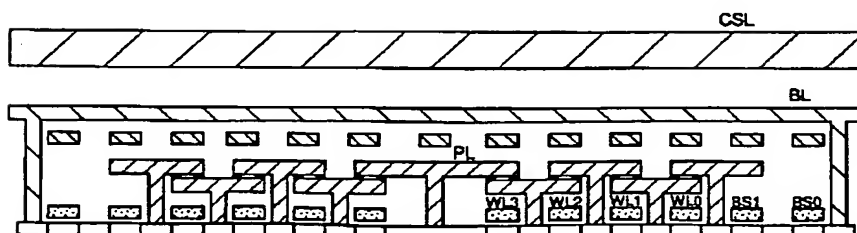
【図 5 8】



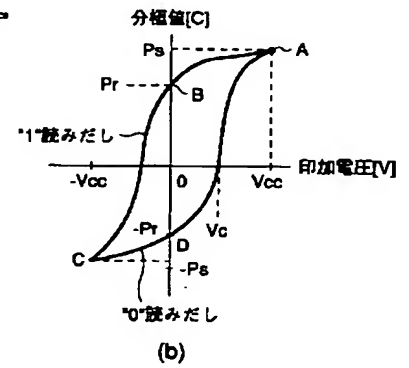
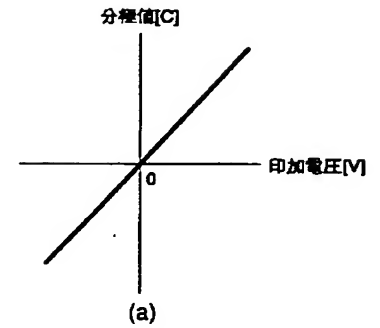
【図 5 9】



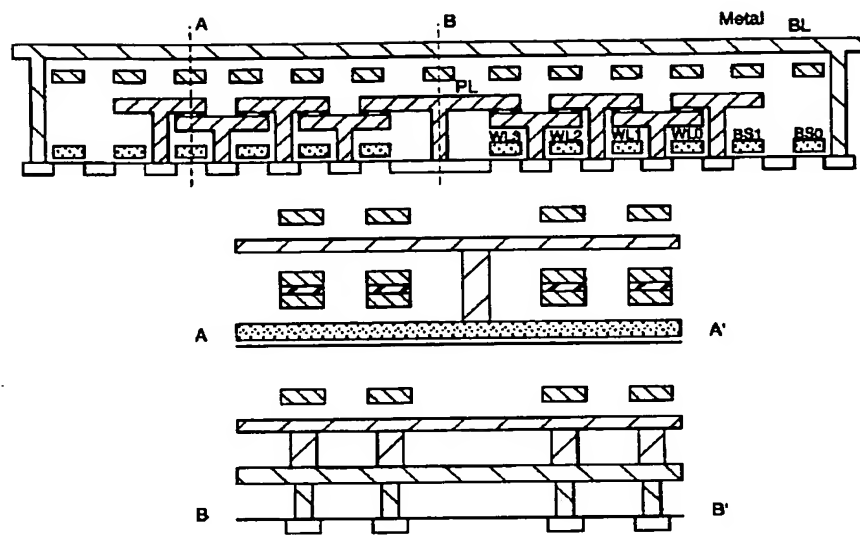
【図 6 3】



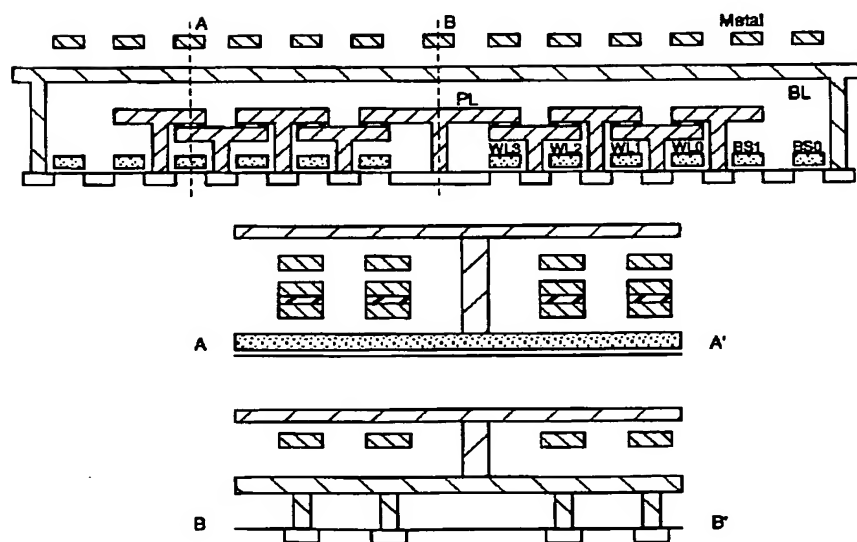
【図 7 5】



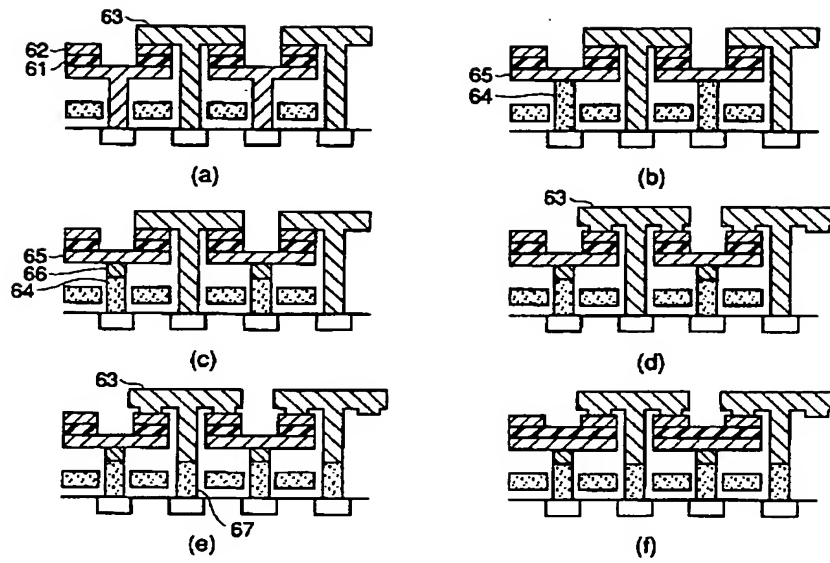
【図 6 0】



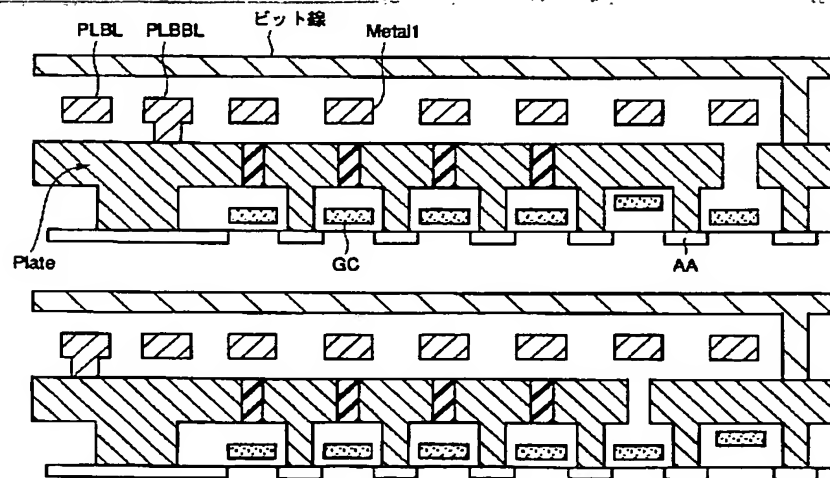
【図 6 1】



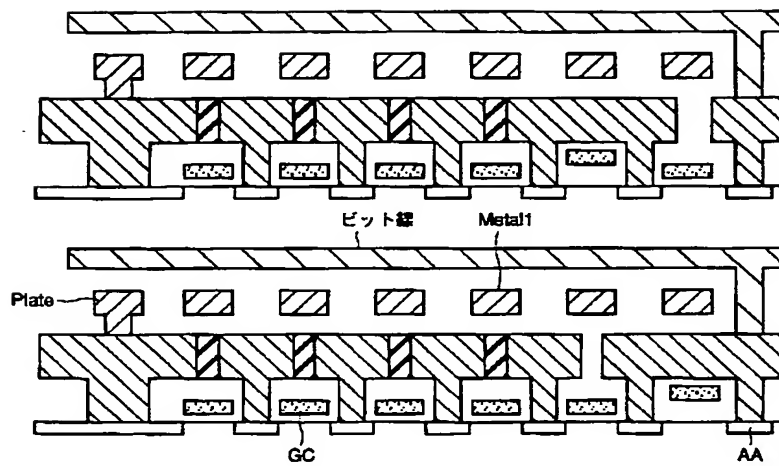
【図 6 4】



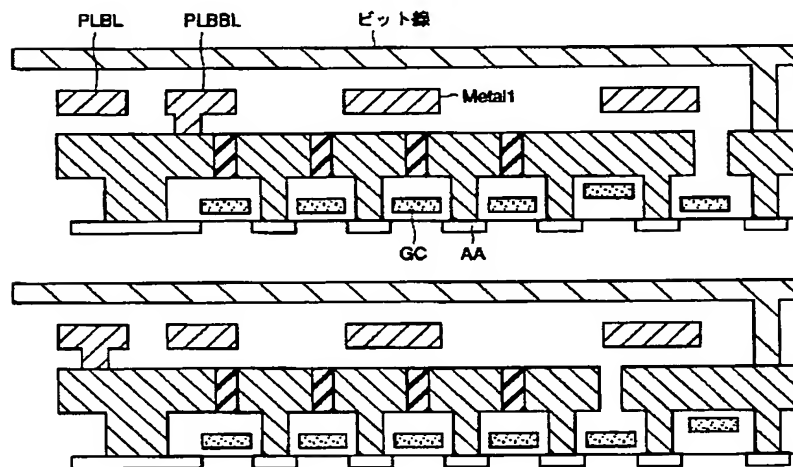
【図 6 5】



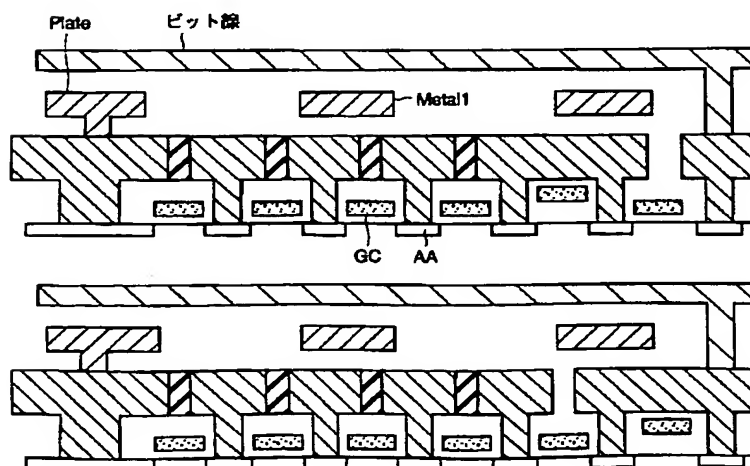
【図 6 6】



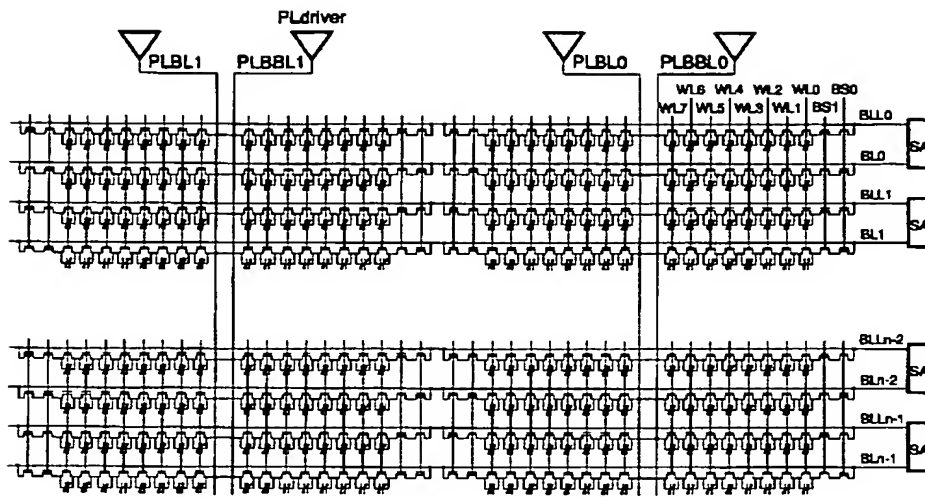
【図 6 7】



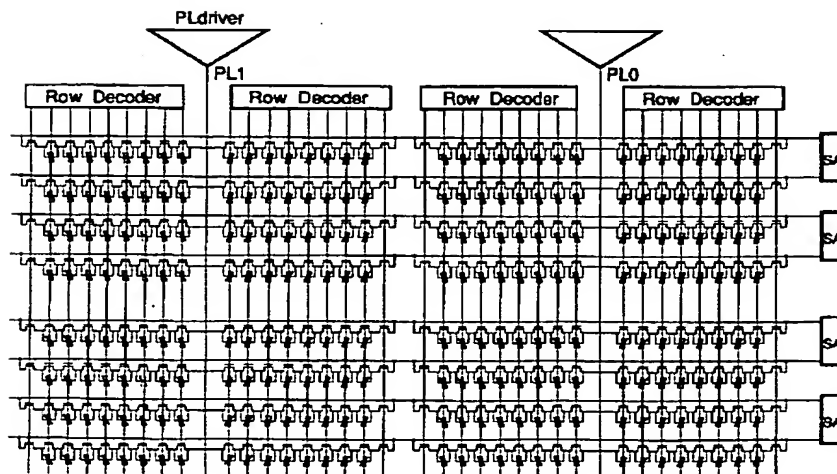
【図 6 8】



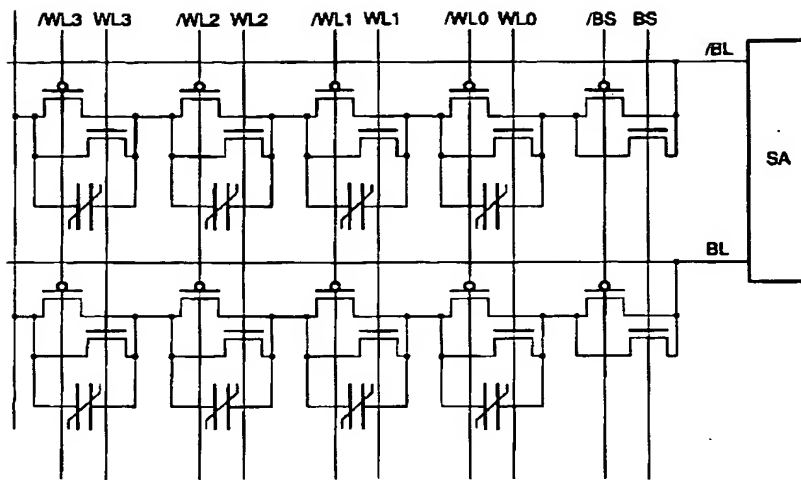
【図 6 9】



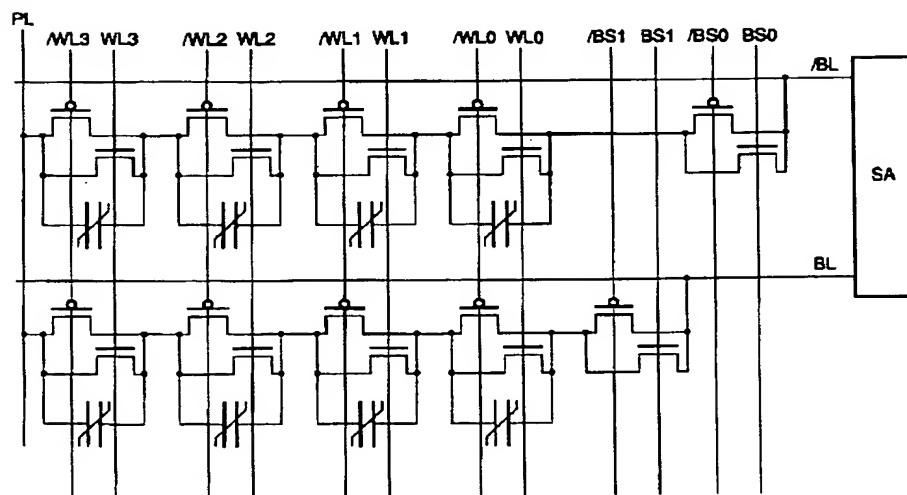
【図 7 0】



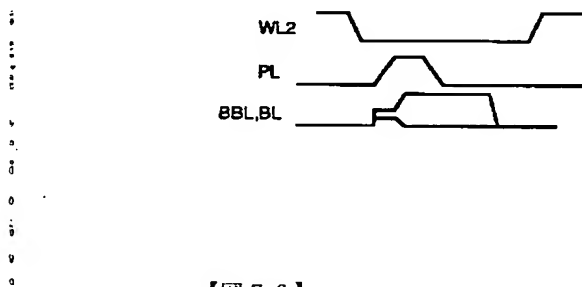
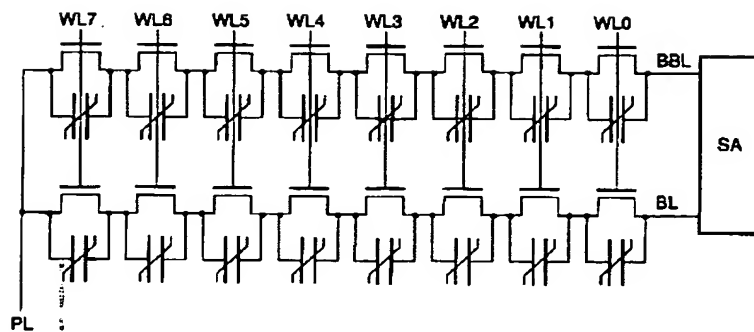
【図 7 1】



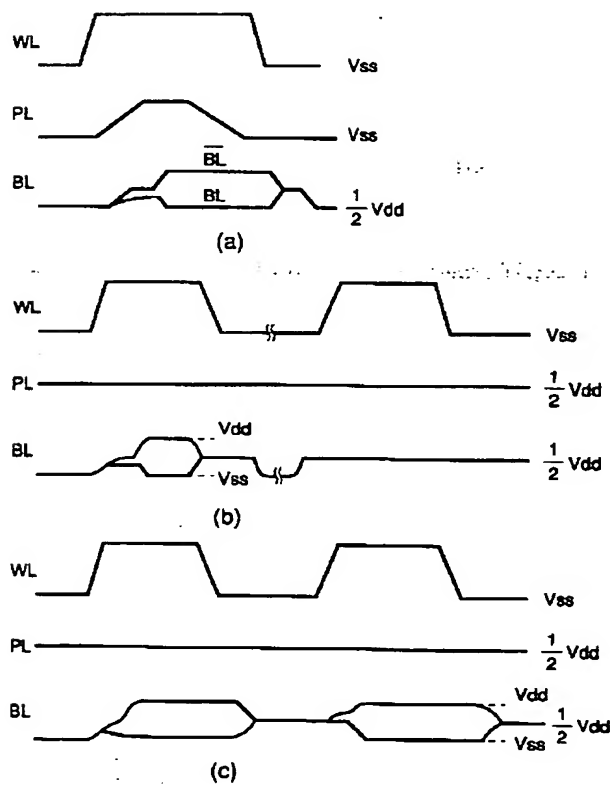
【図 7 2】



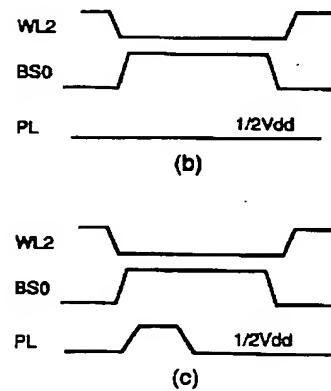
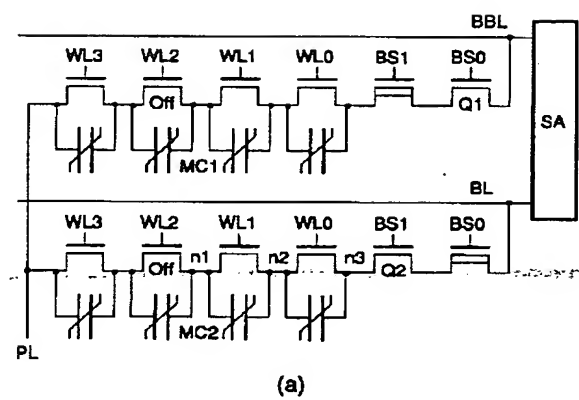
【図 7 3】



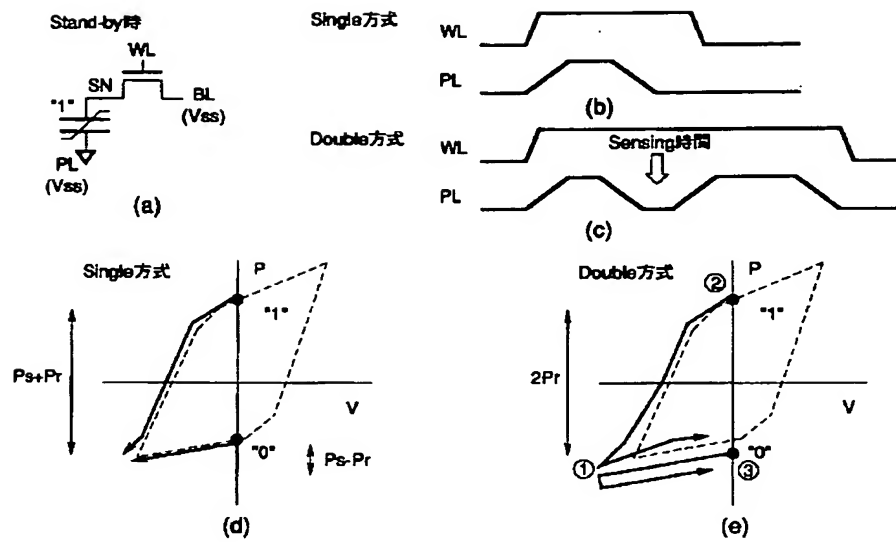
【図 7 6】



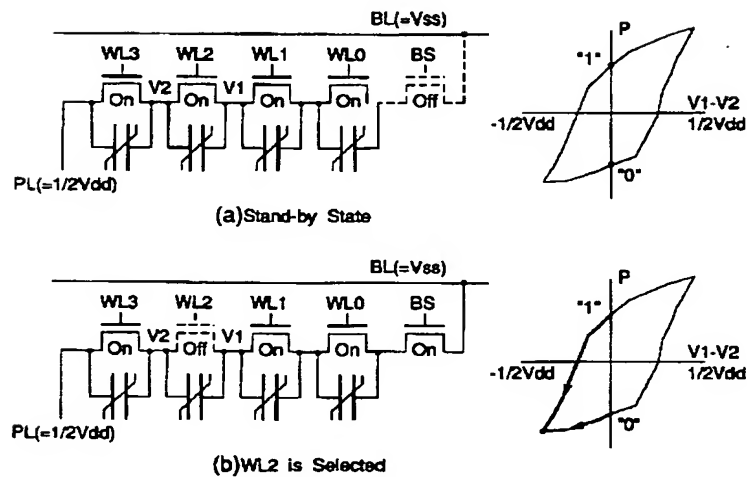
【図 7 9】



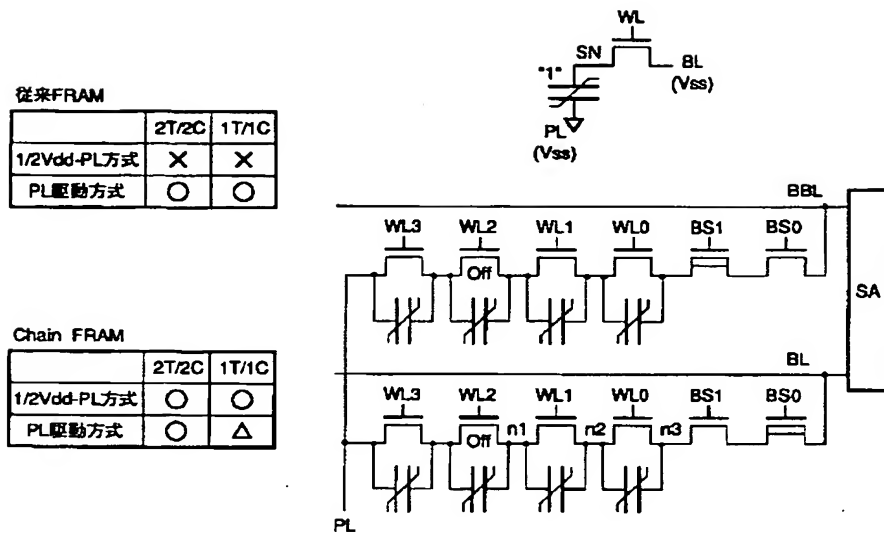
【図 7 7】



【図 7 8】



【図 8 0】



フロントページの続き

(51)Int. Cl.⁶

識別記号

F I

H 0 1 L 29/792